

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-152569

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H04N 5/225

H04N 5/765

(21)Application number : 2000-338644

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.11.2000

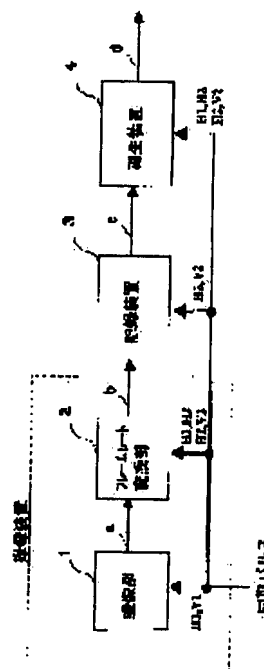
(72)Inventor : ASADA RYOJI
MOTODA KAZUMA
NISHIKAWA SHOJI

(54) CINEMA SIGNAL GENERATING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a cinema signal generating system capable of providing a 24P cinema signal comprising variable speed for slow and fast forwarding using an image pickup device and a recording device of a simple configuration.

SOLUTION: There are provided an image pickup 1 to provide a progressive image pickup signal of various frame rates, a frame rate conversion part 2 in which the progressive image pickup signal at various frame rates is converted into a prescribed frame-rate output, a recording device 3 which records the output signal of the frame rate conversion part 2, and a playback device 4 which plays back the record signal provided by the recording device 3. The recording device 3 records at the output rate of the frame rate conversion part 2 which provides a prescribed rate at all times, and the playback device 4 changes the playback speed of the recorded image pickup signal according to the frame rate before conversion at the frame rate conversion part 2 and outputs so that the substantial number of frames equals to a prescribed number.



LEGAL STATUS

[Date of request for examination] 24.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3661588

[Date of registration] 01.04.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-152569

(P 2 0 0 2 - 1 5 2 5 6 9 A)

(43) 公開日 平成14年5月24日 (2002. 5. 24)

(51) Int. Cl. ⁷

H04N 5/225
5/765

識別記号

F I

H04N 5/225
5/91

テマコード (参考)

F 5C022
L 5C053

審査請求 未請求 請求項の数 8 ○ L (全30頁)

(21) 出願番号 特願2000-338644 (P 2000-338644)

(22) 出願日 平成12年11月7日 (2000. 11. 7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 浅田 良次

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 元田 一真

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

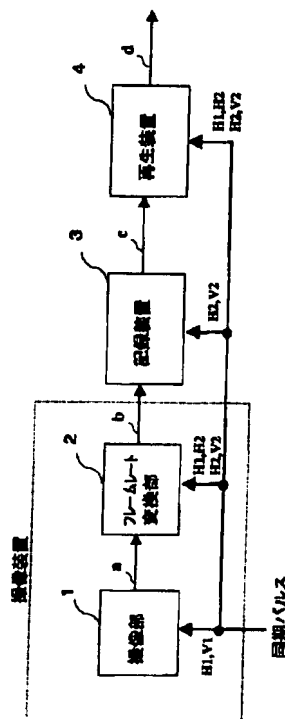
最終頁に続く

(54) 【発明の名称】 シネマ信号作成システム

(57) 【要約】

【課題】 簡単な構成の撮像装置および記録装置を用いて、スロー及び早送りの可変速を含む24Pシネマ信号を得ることができるシネマ信号作成システムを提供する。

【解決手段】 種々のフレームレートのプログレッシブ撮像信号を得る撮像部1と、種々のフレームレートのプログレッシブ撮像信号を所定のフレームレート出力に変換するフレームレート変換部2と、フレームレート変換部2の出力信号を記録する記録装置3と、記録装置3より得られる記録信号を再生する再生装置4とから構成し、記録装置3は常に所定のレートとなるフレームレート変換部2の出力レートで記録するようにし、再生装置4が記録された撮像信号をフレームレート変換部2での変換前の各フレームレートに応じて再生速度を変え、実質コマ数が、所定の数になるように出力する。



【特許請求の範囲】

【請求項1】 種々のフレームレートのプログレッシブ撮像信号を得る撮像装置と、前記撮像装置の出力信号を記録する記録装置と、前記記録装置より得られる記録信号を再生する再生装置とを備え、

前記撮像装置は、前記種々のフレームレートの撮像信号を所定のフレームレート出力に変換するフレームレート変換部を有し、

前記再生装置は、前記撮像装置の変換前の各フレームレートに応じて再生速度を変え、実質コマ数が所定の数になるように出力することを特徴とするシネマ信号作成システム。

【請求項2】 フレームレート変換部が、変換前のフレームレートと変換後のフレームレートの比を演算するフレームレート変換比演算回路を有し、前記変換比が n/m (n, m は整数であり $n \leq m$ 、また n が変換前、 m が変換後に対応)となる場合、 n が1の時は、変換前のフレームレートの信号の各フレームの信号を変換後のフレームレートで $(m-1)$ 回ずつ複製して出力し、 n が1でない場合は変換前のフレームレートの信号の n フレーム分の時間と変換後のフレームレートの m フレーム分の時間が一致するように、 n フレームの信号の一部もしくはすべてのフレーム信号を変換後のフレームのレートで、複製数の合計が $(m-n)$ になるように複製して出力して、 m フレーム毎に規則的なフレーム信号系列ができるように変換し、記録装置は、変換後のフレームレートで記録することを特徴とする請求項1に記載のシネマ信号作成システム。

【請求項3】 再生装置が入力される一つもしくは複数の同じフレームの信号のうち一つを選択する選択回路を有し、前記選択されたフレーム信号の再生速度を変え、実質コマ数が所定の数になるようにしたことを特徴とする請求項1または2に記載のシネマ信号作成システム。

【請求項4】 フレームレート変換部での変換後のフレームレートが60フレームで、再生装置での実質コマ数が24コマ(24P(プログレッシブ))とする場合、入力される60フレームの各フレームの信号を、2つの異なるフレーム信号の組に対し、最初のフレームが2回、次のフレームが3回あるいは最初のフレームが3回、次のフレームが2回同じフレームの信号となることを繰り返す所謂2-3プルダウンの出力になるように、フレームの複製あるいは削除を行い再生速度を変換するようしたことを特徴とする請求項1または2に記載のシネマ信号作成システム。

【請求項5】 再生装置での実質コマ数が48コマ(48P(プログレッシブ))となるように再生速度を変換するようしたことを特徴とする請求項1または2に記載のシネマ信号作成システム。

【請求項6】 撮像装置が固体撮像素子を有し、蓄積時間をコントロールすることにより種々のフレームレート

のプログレッシブ信号を得る場合、前記固体撮像素子を駆動する駆動パルスを、読み出しパルスは所望のフレームレートを蓄積時間のレートで出力し、水平、垂直の転送パルスのレートは前記固体撮像素子の出力信号がフレームレート変換部での変換後のフレームレートと同じになるように出力する駆動パルス発生制御回路とを前記撮像装置に備えたことを特徴とする請求項1または2に記載のシネマ信号作成システム。

【請求項7】 撮像装置が、フレームレート変換部で複製されたフレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を発生するフラグ信号発生部を有し、記録装置が前記撮像装置より出力される信号を記録するとともに、前記フラグ信号も記録保持し、再生装置が前記フラグ信号をもとに、実質コマ数が所定の数になるように変換再生するようにしたことを特徴とする請求項1または2に記載のシネマ信号作成システム。

【請求項8】 撮像装置が、フレームレート変換部で複製されたフレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を発生するフラグ信号発生部と、前記フラグ信号発生部の出力信号を受けフレームレート変換部より出力される撮像信号の有効期間以外の信号期間に、前記フラグ信号を変換して加算するフラグ信号変換、加算回路とを有し、記録装置が前記撮像装置より出力される信号をフラグ信号と共に記録し、再生装置が有効期間以外の信号期間に記録された前記フラグ信号をもとに、実質コマ数が所定の数になるように変換再生するようにしたことを特徴とする請求項1または2に記載のシネマ信号作成システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映画をフィルムでなく電子的に撮影および処理する電子シネマシステムに使用可能なシネマ信号作成システムに関する。

【0002】

【従来の技術】近年、HD(High Definition)放送機器の進展により映画を電子化する、つまり従来のフィルムをビデオテープ等で置換える、電子シネマシステム等への動きが活発化し、テレビのフィールド周波数60Hzから映画のフレーム周波数24Hzへ、しかも走査方式は飛び越し走査方式(以下、iと表示)からプログレッシブ走査方式(以下、Pと表示)への対応が必要となってきた。

【0003】電子的にシネマ信号を作成するシステム構成としては、大きく、撮像信号として24P信号(フレーム周波数24Hzのプログレッシブ信号)を得る撮像装置、24P信号のレートの記録を行う記録装置、24P信号を再生する再生装置というシステム構成となる。

【0004】現在、HD画像方式では、SMPTE274MとSMPTE296Mでそれぞれ走査線数1080本の方式(1080方式)と走査線数720本の方式(720P方式)

において、24P信号の規格化がされている。

【0005】従来のシネマ信号作成システムの構成としては、例えば図21に示す構成がある。図21において、31はP撮像信号を出力可能な撮像装置、32は24P対応の記録装置(24P記録装置)、33は再生装置である。

【0006】以上のように構成された従来のシネマ信号作成システムの動作について図22、図23を用いて、以下説明する。

【0007】図22及び図23は、図21に示したシネマ信号作成システムの各部からの出力波形a~cの信号波形図を示す。つまり、aは撮像装置31の出力信号、bは24P記録装置32の記録信号、cは24P記録装置32で記録された信号を再生する再生装置33の出力信号である。また、図中の各番号は、各信号のフレーム番号を示す。

【0008】撮像装置31は、図22及び図23の(a1), (a2), (a3), ..., (a6)に示す各フレームレート(24Hz、60Hz、48Hz、30Hz、20Hz、15Hz)のP撮像信号を出力する。例えば、図22(a1)では24Pフレームレートの撮像信号の場合であり、この場合、記録装置32は、記録速度を1倍のままで記録する(図22(b1))。再生装置33も1倍速で再生することにより(図22(c1))、所謂シネマ信号の出力信号である24P信号を得ることができる。

【0009】ここで24P再生において、早送り、あるいはスローモーションの再生が、演出効果の為にシネマ信号作成上必要な場合がある。これを行う場合は、撮像装置31の出力の出力レートを変え、それに対応して記録装置32の記録速度を変え、再生装置33は24Pのレートの1倍速で再生することが必要になる。例えば、2/5倍速のスローモーション再生をしたい場合は、図22(a2)に示す様に撮像装置31の出力信号を60Pの撮像信号とし、記録装置32は図22(b2)に示す様に記録速度を2/5倍の速度で記録する。この信号を再生装置33は1倍速で再生することにより、通常60コマの信号が24コマの信号に変換されるので24/60=2/5倍速のスローモーションのシネマ信号が得られる。同様に、撮像装置31の出力信号が48P信号の場合を図22(a3), (b3), (c3)に、30P信号の場合を図23(a4), (b4), (c4)に示す。

【0010】また、逆に早送り再生したい場合は、図23(a5)に示す様に、24Pより遅いレートの例えば20P撮像信号を撮像装置31より出力する。記録装置32では、図23(b5)に示す様に記録速度を6/5倍にして記録する。この信号を再生装置33が1倍速で再生することにより、通常20コマの信号が24コマの信号に変換されるので早送りのシネマ信号が得られる。

同様にして撮像装置31の出力信号が15P信号の場合(24/15倍速の場合)を図23(a6), (b6), (c6)に示す。

【0011】このようにして、従来のシネマ信号作成システムにより、通常の24Pシネマ信号の作成及びスローモーション、早送りの24Pシネマ信号も作成することができる。

【0012】

【発明が解決しようとする課題】しかしながら上記従来のシネマ信号作成システムにおいては、通常の24Pシネマ信号の作成及びスローモーション、早送りの24Pシネマ信号も作成することができるが、撮像装置の撮像信号出力レートに合わせて記録装置の記録速度を変える必要があり回路規模、電力が増える。故に、例えばVTR一体型撮像装置において撮像装置及び記録装置を実現する場合には、小型化、低電力化が難しく、実現が困難という問題点があった。

【0013】本発明はかかる点を鑑み、記録装置の回路規模を増やさず、撮像装置、記録装置に例えばVTR一体型撮像装置等を用いても実現可能なシネマ信号作成システムを提供することを目的とする。

【0014】

【課題を解決するための手段】この課題を解決するために本発明は、種々のフレームレートのプログレッシブ撮像信号を得る撮像装置と、撮像装置の出力信号を記録する記録装置と、記録装置より得られる記録信号を再生する再生装置とを備え、撮像装置がフレームレートを変換するフレームレート変換部により種々のフレームレートの撮像信号を所定のフレームレートに変換して出力し、記録装置により記録された所定のフレームレート信号を再生装置により撮像装置の変換前の各フレームレートに応じて再生速度を変えて出力するように構成したものである。

【0015】これにより種々のフレームレート撮像信号を所定のフレームレートで記録でき、さらに再生速度を変えることにより再生信号の実質コマ数を所定の数にすることができる。

【0016】また、本発明は、フレームレート変換部が、変換前のフレームレートと変換後のフレームレートの比を演算するフレームレート変換比演算回路を有し、変換比が n/m (n, m は整数であり $n \leq m$ 、また、 n が変換前、 m が変換後に対応)となる場合、 n が1の時は、変換前のフレームレートの信号の各フレームの信号を変換後のフレームレートで $(m-1)$ 回ずつ複製して出力し、 n が1でない場合は変換前のフレームレートの信号の n フレーム分の時間と変換後のフレームレートの m フレーム分の時間が一致するように、 n フレームの信号の一部もしくはすべてのフレーム信号を変換後のフレームのレートで、複製数の合計が $(m-n)$ になるように複製して出力して、 m フレーム毎に規則的なフレーム

信号系列ができるように変換するように構成したものである。

【0017】これにより変換前のフレームレートと変換後のフレームレートの比に応じて、フレームレートの変換の仕方を選択できる。

【0018】また、本発明はフレームレート変換部での変換後のフレームレートが60フレームで、再生装置での実質コマ数が24コマ(24P)とする場合、入力される60フレームの各フレームの信号を、2つの異なるフレーム信号の組に対し、最初のフレームが2回、次のフレームが3回あるいは最初のフレームが3回、次のフレームが2回同じフレームの信号となることを繰り返すように、フレームの複製あるいは削除を行い再生速度を変換するように構成したものである。

【0019】これにより所謂2-3ブルダウンの再生信号が得られる。

【0020】また、本発明は撮像装置が固体撮像素子を持し、蓄積時間をコントロールすることにより種々のフレームレートのプログレッシブ信号を得る場合、駆動パルス制御回路により固体撮像素子の駆動の仕方を、読み出しパルスは所望のフレームレートを得る蓄積時間のレートで出力し、水平、垂直の転送パルスのレートは固体撮像素子の出力信号がフレームレート変換部での変換後のフレームレートと同じになるように構成したものである。

【0021】これにより変換部に入力される信号も変換後と同じフレームレートの信号が得られる。

【0022】また、本発明は撮像装置が、フレームレート変換部で複製されたフレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を発生するフラグ信号発生部を有し、この信号を記録装置で撮像装置より出力される信号と共に記録保持し、再生装置がフラグ信号をもとに、実質コマ数が所定の数になるように変換再生するように構成したものである。

【0023】これにより再生装置側でフレームの切り換わり位置を示す信号が得られる。

【0024】また、本発明は撮像装置が、フレームレート変換部で複製されたフレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を発生するフラグ信号発生部と、フラグ信号発生部の出力信号を受けフレームレート変換部より出力される撮像信号の有効期間以外の信号期間に、フラグ信号を変換して加算するフラグ信号変換、加算回路とを有し、記録装置が撮像装置より出力される信号をフラグ信号と共に記録し、再生装置が有効期間以外の信号期間に記録されたフラグ信号をもとに、実質コマ数が所定の数になるように変換再生するように構成したものである。

【0025】これにより再生装置側でフレームの切り換わり位置を示す信号が記録信号自体から得られる。

【0026】

【発明の実施の形態】本発明の第1の発明は、種々のフレームレートのプログレッシブ撮像信号を得る撮像装置と、前記撮像装置の出力信号を記録する記録装置と、前記記録装置より得られる記録信号を再生する再生装置とを備え、前記撮像装置は、前記種々のフレームレートの撮像信号を所定のフレームレート出力に変換するフレームレート変換部を有し、前記再生装置は、前記撮像装置の変換前の各フレームレートに応じて再生速度を変え、実質コマ数が所定の数になるように出力するものであり、変換部で種々のフレームレートのプログレッシブ撮像信号を所定のフレームレートに変換して記録部に出力する。記録部は変換部の出力レートと同じフレームレートで記録する。再生装置は撮像装置の変換前の各フレームレートに応じて再生速度を変えることにより、実質コマ数が所定の数になる作用を有する。

【0027】また、本発明の第2の発明は、フレームレート変換部が、変換前のフレームレートと変換後のフレームレートの比を演算するフレームレート変換比演算回路を有し、前記変換比が n/m (n, m は整数であり $n \leq m$ 、また n が変換前、 m が変換後に対応) となる場合、 n が1の時は、変換前のフレームレートの信号の各フレームの信号を変換後のフレームレートで $(m-1)$ 回ずつ複製して出力し、 n が1でない場合は変換前のフレームレートの信号の n フレーム分の時間と変換後のフレームレートの m フレーム分の時間が一致するように、 n フレームの信号の一部もしくはすべてのフレーム信号を変換後のフレームのレートで、複製数の合計が $(m-n)$ になるように複製して出力して、 m フレーム毎に規則的なフレーム信号系列ができるように変換し、記録装置は変換後のフレームレートで記録するようにしたものであり、フレームレート変換部で入力信号を変換前のフレームレートと変換後のフレームレートの比に応じて、複製するフレームの数を変えるようにして複製し、記録装置は変換後のフレームレートで常に記録する作用を有する。

【0028】また、本発明の第3の発明は、フレームレート変換部での変換後のフレームレートが60フレームで、再生装置での実質コマ数が24コマ(24P(プログレッシブ))とする場合、入力される60フレームの各フレームの信号を、2つの異なるフレーム信号の組に対し、最初のフレームが2回、次のフレームが3回あるいは最初のフレームが3回、次のフレームが2回同じフレームの信号となることを繰り返す所謂2-3ブルダウンの出力になるように、フレームの複製あるいは削除を行い再生速度を変換するようにしたものであり、再生装置がフレームの複製あるいは削除を行い再生速度を変換することにより、フレームレート変換部で変換され記録装置で記録された60フレームの信号から、24フレームの再生信号を出力する作用を有する。

【0029】また、本発明の第4の発明は、撮像装置が

固体撮像素子を有し、蓄積時間をコントロールすることにより種々のフレームレートのプログレッシブ信号を得る場合、前記固体撮像素子を駆動する駆動パルスを、読み出しパルスは所望のフレームレートを得る蓄積時間のレートで出力し、水平、垂直の転送パルスのレートは前記固体撮像素子の出力信号がフレームレート変換部での変換後のフレームレートと同じになるように出力する駆動パルス発生制御回路とを前記撮像装置に備えるようにしたものであり、駆動パルス発生制御回路が、読み出しパルスは所望のフレームレートを得る蓄積時間のレートで出力し、水平、垂直の転送パルスのレートは前記固体撮像素子の出力信号がフレームレート変換部での変換後のフレームレートと同じになるように出力するので、前記固体撮像素子から読み出される撮像信号の出力レートをフレームレート変換部の出力信号と同じフレームレートにする作用を有する。

【0030】また、本発明の第5の発明は、撮像装置が、フレームレート変換部で複製されたフレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を発生するフラグ信号発生部を有し、記録装置が前記撮像装置より出力される信号を記録するとともに、前記フラグ信号も記録保持し、再生装置が前記フラグ信号をもとに、実質コマ数が所定の数になるように変換再生するようにしたものであり、フラグ信号発生部がフレームレート変換部で複製された信号群に対して、フレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を発生し、それを記録部で記録し、再生装置がその信号をもとに実質コマ数が所定の数になるように変換再生する作用を有する。

【0031】また、本発明の第6の発明は、撮像装置が、フレームレート変換部で複製されたフレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を発生するフラグ信号発生部と、前記フラグ信号発生部の出力信号を受け変換部より出力される撮像信号の有効期間以外の信号期間に、前記フラグ信号を変換して加算するフラグ信号変換、加算回路とを有し、記録装置が前記撮像装置より出力される信号をフラグ信号と共に記録し、再生装置が有効期間以外の信号期間に記録された前記フラグ信号をもとに、実質コマ数が所定の数になるように変換再生するようにしたものであり、フラグ信号変換、加算回路がフレームレート変換部で複製されたフレームの信号群が次のフレームの信号群へ変わる変化点を示すフラグ信号を撮像信号の有効期間以外の信号期間に、撮像信号と加算できる信号形態に変換、加算し、記録装置に出力する作用を有する。

【0032】以下、本発明の実施の形態について図面を用いて説明する。

【0033】（実施の形態1）図1は本発明の実施の形態1におけるシネマ信号作成システムの構成を示すブロック図である。

【0034】図1において、1は種々のフレームレートのP信号を出力する撮像部、2は撮像部1の出力信号を所定のフレームレートに変換するフレームレート変換部、3はフレームレート変換部2の出力信号を記録する記録装置、4は記録装置3により記録された信号を再生する再生装置である。なお、図1において、H1、V1は図示していない同期信号発生部より出力される撮像部1での水平、垂直の同期信号、H2、V2はフレームレート変換後の水平、垂直の同期信号である。

【0035】以上のように構成された実施の形態1によるシネマ信号作成システムの動作について、図2～図5を用いて以下説明する。

【0036】図2は実施の形態1におけるフレームレート変換部2の内部構成の一例を示すブロック図である。また、図3はフレームレート変換部2の動作説明図、図4、図5は図1に示した各部の信号波形図である。

【0037】図2において、5、6はフレームメモリ、7はフレームメモリ5、6の書き込み及び読み出しを制御する制御回路、8は切り換え回路である。

【0038】フレームレート変換部2の動作は、同期信号H1、V1、H2、V2をもとに図3に示すような動作を行う。図2、図3で、W1、W2はフレームメモリA5及びフレームメモリB6の書き込みのイネーブル信号、R1、R2はフレームメモリA5及びフレームメモリB6の読み出しのイネーブル信号で、各々ロー（LOW）の時にイネーブル期間である。例えば、撮像部1より入力される60P及び20Pのフレームレートの撮像信号aを所定のフレームレート60Pへ変換する。図3（a）の場合は、フレームレートが60Pの撮像信号入力の場合であるが、入力も出力も同じフレームレートなので、フレームメモリA5及びフレームメモリB6を60Pのフレームレートで交互に書き込み、60Pのフレームレートで交互に読み出す。また同図（b）のフレームレートが20Pの撮像信号入力の場合は、書き込みは20Pのフレームレートで1フレーム分を書き込み、読み出しは60Pのフレームレートで読み出す。故に、この場合は60Hzで3フレーム同じ信号が出力される。このようにフレームレート変換は例えば2つのフレームメモリを書き込みと読み出しを交互に行うことにより簡単に実現できる。

【0039】以上のフレームレート変換部2により、撮像部1の出力信号は図4に示す様に種々のフレームレート撮像信号（例えば、60Pのa1、30Pのa2、20Pのa3、15Pのa4）がすべて60Pのフレームレートの信号（b1、b2、b3、b4）に変換され記録装置3へ出力される。なお、図中の各番号は、各信号のフレーム番号を示す。記録装置3は常に60Pのフレームレートで撮像装置からの信号を記録する。

【0040】次に再生装置4は実質コマ数が所定の数になるように図5に示す動作を行う。この場合、24Pの

コマ数になるように変換する。例えば図5に示すように、30P撮像信号の場合は、記録装置の信号は60Pのレートで2フレームずつ同じ信号が記録されている(c2)が、そのうちの1つを選択し60Pのレートが24Pのレートになるように再生速度を変える。時間軸としては2/5倍に引き伸ばされる。実質は60Pで2フレームの信号が24Pのレートに変換される(30Pが24Pに変換される)ので、4/5倍速の再生信号(d2)となる。故に撮像信号がもともと24Pの信号の場合に比べ少しスローモーションの24P再生信号が得られる。同様に20P撮像信号の場合は、60Pのレートで3フレームずつ同じ信号が記録されている(c3)が、そのうちの1つを選択し60Pのレートが24Pのレートになるように再生速度を変える。この場合は、実質20Pが24Pに変換されるので、6/5倍速の再生信号(d3)となる。故に少し早送りの24P再生信号が得られる。他のフレームレート撮像信号の場合も同様で、例えば、60Pの場合(c1)は、2/5倍速の再生信号(d1)に、15Pの場合(c4)は、8/5倍速の再生信号(d4)に変換される。

【0041】以上のように本発明の実施の形態1によれば、撮像装置で得られる種々のフレームレートの信号を所定のフレームレート信号に変換することにより、記録装置で常に所定のフレームレート、例えば60P信号のレートで記録することができ、撮像装置と記録装置が一体となったVTR一体型撮像装置のカメラレコーダ等において回路規模及び電力の増大なしにシネマ信号作成システムの撮像装置、記録装置を構成することができる。また、再生装置も上記撮像装置と記録装置と組み合わせることにより、信号の選択と所定比率の再生速度変換で簡単に24P信号のシネマ信号を再生することができる。

【0042】なお、再生装置での各フレーム変化の位置検出は、同期信号H1、V1、H2、V2を基にあらかじめ決められた規則に従って必要フレーム信号を選択するか、あるいは撮像信号のフレームレート、再生装置のフレームレートに対応しスイッチでフレーム選択の動作を切り換えるようにしてもよいことは言うまでもない。

【0043】(実施の形態2)図6は本発明の実施の形態2によるシネマ信号作成システムのフレームレート変換部の内部構成を示すブロック図である。

【0044】図6において、9はフレームメモリ、10はフレームメモリ9の書き込み、読み出しを制御するフレームメモリ制御回路、11は入力撮像信号のフレームレートとフレームレート変換部2で変換する所定フレームレートとの変換比を演算するフレームレート変換比演算回路、12は切り換え回路である。本実施の形態2が実施の形態1と違うのは、フレームレート変換部2に、フレームレート変換比演算回路11を備えた点である。その他の回路については概略同じであり、その動作も同

様な動作である。

【0045】以上のように構成された実施の形態2によるシネマ信号作成システムの動作について、図7、図8を用いて以下説明する。

【0046】図7は、撮像信号が48Pと24Pの場合で、変換後のフレームレートが60Pのときの、フレームメモリ制御回路10及びフレームメモリ9の動作を説明する信号波形図、図8は、その動作に基づいたフレームレート変換部2における入力信号と出力信号の関係を示す信号波形図である。なお、図中の番号は、フレーム番号に対応するものとする。

【0047】例えば48Pの撮像信号の場合、変換後のフレームレート60Pは48Pに対して20P、30P等の場合と違い整数倍にならない。この場合の入力のフレームレート48Pと変換後のフレームレート60Pの比率は4/5であり、48Pの4フレーム分と60Pの5フレーム分の時間が一致する。故にフレームレート変換比演算回路11は、フレームメモリ9の読み出しを5回の内1回は同じフレームの信号が出力されるように、フレームメモリ制御回路10へコントロール信号を出力する。これを受けて、フレームメモリ制御回路10は、図7(a)に示す読み出しイネーブル信号を出力する。この48P撮像信号の場合、メモリの読み出し中に書き込みの追い越しが起こらないように例えば3つのフレームメモリをローテーションするようにして、フレームレート変換を行っている。

【0048】同様にして24P撮像信号を60Pへ変換する場合、変換比が2/5となるので、24Pの2フレーム分と60Pの5フレーム分の時間が一致する。この場合はフレームメモリの読み出しを5回の内2回を同じフレームの信号(1回複製)、もう3回を別のフレームの信号(2回複製)となるように(つまり、複製数の合計は1+2=3)、フレームレート変換比演算回路11は、フレームメモリ制御回路10へコントロール信号を出力する。これを受けて、フレームメモリ制御回路10は、図7(b)に示す読み出しイネーブル信号を出力する。このようなフレームレート変換部2での動作を行うことにより、変換後の出力信号は48Pの場合が図8(b1-1)または(b1-2)、24Pの場合が図8(b2-1)または(b2-2)に示すように60Pのフレームレートに変換されて出力される。この時、所定のフレーム期間の関係は、それぞれ $a1t=b1t$ 、 $a2t=b2t$ となっている。

【0049】このように本実施の形態2によれば、フレームレート変換比演算回路11で変換前のフレームレートと変換後のフレームレートの比を演算し、その結果 n/m (n, m は整数であり $1 \leq n \leq m$ 、また、 n が変換前、 m が変換後に対応)となる場合に、特に n が1でない場合(m/n が整数でない場合)は変換前のフレームレートの信号の n フレーム分の時間と変換後のフレーム

レート m フレーム分の時間が一致するように、 n フレーム中の一部もしくはすべてのフレーム信号を変換後のフレームのレートで、複製数の合計が $(m-n)$ になるように複製して出力して、 m フレーム毎に規則的なフレーム信号系列ができるように変換することにより、変換比が複雑な場合でも所定のフレームレートへ変換を行うことができる。 $n=1$ の場合は、実施の形態1と同様の動作に、各フレームを $(m-1)$ 回ずつ繰り返す動作を行う。また、記録装置3、再生装置4の動作も実施の形態1と同様な動作を行う。

【0050】このように種々のフレームレートの撮像信号に対して、変換比が複雑な場合でも、実施の形態1と同様に例えば常に60Pの信号へ変換し、そのレートで記録装置に記録することができ、撮像装置と記録装置が一体となったVTR一体型撮像装置のカメラレコーダ等において回路規模及び電力の増大なしにシネマ信号作成システムの撮像装置、記録装置を構成することができる。

【0051】(実施の形態3) 図9は本発明の実施の形態3におけるシネマ信号作成システムにおいて、再生装置の出力信号を説明する信号波形図である。本実施の形態3が実施の形態1及び2と違うところは、再生装置4での再生速度変換の仕方が違う点である。よって、全体のブロック図は、図1と同様である。

【0052】図9において、記録装置3の信号は実施の形態1もしくは実施の形態2で得られる記録信号を示している。つまりフレームレート変換部2での変換後のフレームレートを60Pとした場合である。再生装置4のレートは24Pのフレームレートに変換している。入力信号としては、60P撮像信号、48P撮像信号、24P撮像信号、20P撮像信号の場合を示している。

【0053】以下、本実施の形態3での再生装置4の動作を説明する。

【0054】60P撮像信号の場合は、記録信号は図9(c1)のように60フレームのレートでフレーム番号が一つずつ変化するが、再生装置4は連続する異なる2つのフレームの組を例えばフレーム番号1、2を、1が2フレーム、2が3フレーム(同図(d1-1))、もしくは1が3フレーム、2が2フレーム(同図(d1-2))になるように、フレームの複製(繰り返し)を行っている。次の連続する異なるフレームの組(例えばフレーム番号3、4)についても同様である。

【0055】48Pの場合は、記録信号は図9(c3)のように、記録信号のフレーム番号が1、1、2、3、4、5、5、6、7、8、…というふうになるが、連続する異なる2つのフレームの組、例えば1、1、2について、1を1回複製(つまり3フレームとする)、2も1回複製(つまり2フレームとする)にする(同図(d3-1))か、1はそのまま(つまり2フレーム)、2を2回複製(つまり3フレーム)する(同図(d3-

2))のような変換を行っている。次の連続する異なるフレームの組3、4の場合は60Pの場合と同様である。

【0056】また、24P撮像信号(同図(c4))の場合は、再生速度の変換はいらないので、そのまま(同図(d4-1))か、連続する異なる2つのフレームの組、例えば1、1、2、2の1を1フレーム削除し2を1フレーム複製するようにする変換(同図(d4-2))を行う。

【0057】また、20P撮像信号(同図(c2))の場合は、連続する異なるフレームの組、例えば1、1、1、2、2、2については、1を1フレーム削除(つまり2フレーム)、2をそのまま(つまり3フレーム)にする(同図(d2-1))か、1はそのまま(つまり3フレーム)、2を1フレーム削除(つまり2フレーム)にする(同図(d2-2))のような変換を行っている。次の連続する異なるフレームの組3、3、3、4、4、4の場合も同様である。

【0058】このように本実施の形態3では、フレームレート変換部2での変換後のフレームレートが60フレームで、再生装置4での実質コマ数が24コマ(24P(プログレッシブ))とする場合、入力される60フレームの各フレームの信号を、2つの異なるフレーム信号の組に対し、最初のフレームが2回、次のフレームが3回あるいは最初のフレームが3回、次のフレームが2回同じフレームの信号となることを繰り返す、所謂2-3プルダウンの出力になるように、フレームの複製あるいは削除を行い再生速度を変換する。故に、記録と同じフレームレート、つまり60Pのフレームレートの信号を時間軸を変換することなく、単にフレームの選択または複製等を行うだけで、実質コマ数を24Pに変え再生速度の変換を行うことができる。また、常に2-3プルダウンの形式で出力されるので、24Pのスローモーションから早送りの各再生シネマ信号を60Pの信号形式として扱える。

【0059】なお、本実施の形態3は以上のような動作を行い再生速度を変換する回路を再生装置4に備えるが、この回路は、例えば入力信号と同じレート(60P)で再生し、その信号をフレームメモリ等へ書き込み、同じ信号を複数回読み出す回路と選択回路等により簡単に実現できることは言うまでもない。

【0060】(実施の形態4) 図10は、本発明の実施の形態4におけるシネマ信号作成システムの構成を示すブロック図である。

【0061】図10において、1は種々のフレームレートのP信号を出力する撮像部、2は撮像部1の出力信号を所定のフレームレートに変換するフレームレート変換部、3はフレームレート変換部2の出力信号を記録する記録装置、4は記録装置3により記録された信号を再生する再生装置、13は撮像部1に与える駆動パルスを制御する駆動パルス発生制御回路である。また本実施の形

態 4 では、撮像部 1 には CCD (チャージ・カップルド・デバイス) の固体撮像素子を有する。本実施の形態 4 が実施の形態 1 と異なるのは、撮像部 1、フレームレート変換部 2 で構成される撮像装置において、駆動パルス発生制御回路 13 が特徴的な動作を行う点である。その他の回路については概略同じであり、その動作も同様な動作である。

【0062】また、図 1 に示す実施の形態 1 と同様に図 10 で H1、V1 は図示していない同期信号発生部より出力される撮像部 1 での水平、垂直の同期信号、H2、V2 はフレームレート変換後の水平、垂直の同期信号である。

【0063】以上のように構成された実施の形態 4 によるシネマ信号作成システムの動作について、図 11、図 12、図 13 を用いて以下説明する。

【0064】図 11 は、駆動パルス発生制御回路 13 の動作を説明するための信号波形図、図 12、図 13 は、撮像部 1 及びフレームレート変換部 2 の出力信号を説明するための信号波形図である。

【0065】図 11 (a)、(b)、(c) は、撮像信号のレートが 20 P の場合における CCD の駆動パルスの一例を示している。この場合、同図 (a) の読み出しパルスは蓄積時間が $1/20$ 秒になるように 20 P のレートで出力されている。また、同図 (b) の転送パルスは、垂直、水平の転送パルスを含むが、20 P の 1 フレームで転送が完了するように出力されている。さらに同図 (c) はその時の CCD の信号出力を示している。この場合は、通常の 60 P における CCD の駆動レートを単純に $1/3$ にした駆動パルスとなっている。実施の形態 1、2 の撮像信号では、図 4 や図 8 に示すようにこのような駆動の信号となっている。故に、撮像信号のフレームレートが遅くなるにしたがって、フレームレート変換部 2 から変換出力される信号は遅延が大きくなる。

【0066】そこで本実施の形態 4 においては、CCD へ送る駆動パルスを駆動パルス発生制御回路 13 で図 11 (a1)、(b1)、(c1) に示すパルスになるように制御する。すなわち、読み出しパルス (a1) は蓄積時間が $1/20$ 秒になるように 20 P のレートで出力することは同じだが、転送パルスを、1 フレームの信号の転送が 60 P のレートで完了するように 3 倍の速度で転送するようにする。これにより、転送パルスは同図 (b1)、信号出力は同図 (c1) のようになり、30 P レートの信号を 60 P レートの 1 フレームの期間に得ることができる。その後の 2 フレームは信号に関係ない不要信号が出力される。

【0067】また、他の制御の仕方としては同図 (a2)、(b2)、(c2) に示すように、読み出しパルス (a2) は同じだが、転送パルス (b2) を 1 フレーム分だけ出力するようにする。これにより出力信号 (c2) が得られる。

【0068】以上のような駆動の仕方を、駆動パルス発生制御回路 13 で行うことにより、撮像部 1 及びフレームレート変換部 2 の出力信号は、図 12 及び図 13 のようになる (すなわち、(a1) ~ (a4) が撮像信号であり、(b1) ~ (b4)、(b1-1)、(b1-2)、(b2-1)、(b2-2) がフレームレート変換後の信号である)。図 12 及び図 13 から分かるように、本実施の形態 4 によれば、種々のフレームレートの撮像信号がすべて 60 P の撮像信号のフレームレート間隔で出力されるので、フレームレート変換部 2 の出力信号はすべて 60 P の 1 フレーム分の遅延時間しか発生せず、出力信号の遅延を抑えることができると共に、その遅延量もすべてのレートの撮像信号の場合で同一にすることがきる。

【0069】また、撮像部 1 の出力信号のレートとフレームレート変換部 2 のレートを同一 (60 P) にすることにより、複数のレートに対応してフレームメモリの書き込み読み出しのタイミング等を調整しなくてもよいので、フレームレート変換部 2 での回路動作を安定にすることができる。

【0070】(実施の形態 5) 図 14 は、本発明の実施の形態 5 におけるシネマ信号作成システムの構成を示すブロック図である。

【0071】図 14 において、1 は種々のフレームレートの P 信号を出力する撮像部、2 は撮像部 1 の出力信号を所定のフレームレートに変換するフレームレート変換部、3 はフレームレート変換部 2 の出力信号を記録する記録装置、4 は記録装置 3 により記録された信号を再生する再生装置、14 はフレームレート変換部 2 の出力信号におけるフレームの切り換わりを示すフラグ信号を発生するフラグ信号発生部である。

【0072】本実施の形態 5 が実施の形態 1 と異なるのは、撮像装置が撮像部 1、フレームレート変換部 2 の他にフラグ信号発生部 14 を備えた点である。その他の回路については概略同様であり、その動作も同様な動作である。

【0073】以上のように構成された実施の形態 5 によるシネマ信号作成システムの動作について、図 15、図 16、図 17 を用いて以下説明する。

【0074】本発明の実施の形態 1 等では、再生装置 4 は、再生装置での各フレーム変化の位置検出は、同期信号 H1、V1、H2、V2 を基にあらかじめ決められた規則に従って必要フレーム信号を選択するか、あるいは撮像信号のフレームレート、再生装置のフレームレートに対応しスイッチでフレーム選択の動作を切り換えるようにするか等の手法で再生動作を行っている。このような動作を本発明の実施の形態 5 は簡便に行えるようにしたものである。

【0075】フラグ信号発生部 14 で、フレームレート変換部 2 から出力される信号のフレームの変わり目を示

すフラグ信号 f を出力し、フレーム変換部2からの信号と同様に記録装置3でフラグ信号自体も記録する。このフラグ信号を基に、再生装置4は必要フレーム信号の選択や決められた動作を行う。そのフラグ信号の発生の方について、図15を用いて説明する。図15(a)及び(g)はフラグ信号発生部14の内部構成の一例を示す構成図である。図15で15は分周回路、16はOR回路、17は1bitカウンタである。

【0076】例えばフレームレート変換部2の出力が60Pレート(同図(b))で、記録装置3も60Pレートで記録し、撮像部1の元のフレームレートが20Pである場合(同図(e))は、記録装置3の信号は同図(d)のようになる。この時フレームの切り換わりは、同図(f)のようになるので、この場合は、単純にもとの撮像信号の垂直同期を分周すれば得られる。この分周信号のロー(LOW)、ハイ(HIGH)と信号が切り換わる点がフレームの切り換わり点である。このように、フレームレート変換部2の出力信号レートが60Pで、撮像部1の元のフレームレートが20P、30P等の60Pのフレームレートに対して $1/m$ (m は1以上の整数)の条件になる場合は、同図(a)に示す分周回路15等で簡単にフラグ信号発生部を構成できる。

【0077】また、実施の形態2の図7で説明した撮像部1の出力信号が24Pや48P等の信号も含む時は、上記の条件に当てはまらず、この場合は同図(g)に示すように、フレームレート変換部2で使用するフレームメモリの読み出しエネブル信号、例えば48Pの時はR1、R2、R3の信号の変化(同図(i))がフレームの切り換わりに対応するので、これを検出し、その信号をフレームの切り換わり信号として用いればよい。例えば同図(g)のようにOR回路16とOR回路16の出力信号をクロックとする1bitカウンタ17で簡単に構成できる。1bitカウンタ17の出力(同図(j))のLOW、HIGHをフレームの切り換わり信号(同図(f1))として対応させればよい。

【0078】このようなフラグ信号発生部14の動作により、図16、図17に示すように、種々の撮像信号のレートとフレームレート変換部2の出力信号=記録装置3の信号に対してフレームの切り換わりのフラグ信号を得ることができる。例えば、図16でa1、a3が撮像信号出力、b1、b3がフレームレート変換後の信号、f1、f3がフレーム切り換わりのフラグ信号、図17でa1、a2が撮像信号出力、b1-1、b2-1がフレームレート変換後の信号、f1-1、f2-1がフレーム切り換わりのフラグ信号を示す。

【0079】このように本実施の形態5によれば、簡単な構成で、フレームの切り換わりのフラグ信号を作成でき、その信号を記録装置3に撮像信号と共に記録できるので、再生装置4への撮像部1や記録装置3の同期信号等の情報を別個に与える必要がない。また、再生装置4

に撮像部1のフレームのレートに応じて動作を切り換えるためのスイッチ等も設けなくてよく、撮像部1のフレームレートが種々に変わっても自動でシネマ信号の再生動作を行うことができる。

【0080】(実施の形態6) 図18は本発明の実施の形態6におけるシネマ信号作成システムの構成を示すブロック図である。

【0081】図18において、1は種々のフレームレートのP信号を出力する撮像部、2は撮像部2の出力信号を所定のフレームレートに変換するフレームレート変換部、3はフレームレート変換部2の出力信号を記録する記録装置、4は記録装置3により記録された信号を再生する再生装置、14はフレームレート変換部2の出力信号におけるフレームの切り換わりを示すフラグ信号発生部、18はフラグ信号発生部14より出力されるフラグ信号を変換し、フレームレート変換部2で変換された信号に加算するフラグ信号変換、加算部である。

【0082】本実施の形態6が実施の形態1及び実施の形態5と違うのは、撮像装置が撮像部1、フレームレート変換部2の他にフラグ信号発生部14、さらにフラグ信号変換、加算部18を備えた点である。その他の回路については概略同様であり、その動作も同様な動作である。

【0083】以上のように構成された実施の形態6によるシネマ信号作成システムの動作について、図19、図20を用いて以下説明する。

【0084】図19はフラグ信号変換、加算部18の内部構成の一例を示すブロック図及び変換の説明図で、19は所定の時間遅延するディレイ回路、20はXOR(排他的論理和)回路、21は加算器である。また、図20はフラグ信号の撮像信号への加算の例を示す説明図である。

【0085】フラグ信号変換、加算部18は例えば図19(a)に示す回路で構成される。ここで、同図(b)に示すフレームの切り換わりを示すフラグ信号 f がディレイ回路19へ入力されると、同図(c)のように所定の時間だけ遅延される。例えば数H(Hは1水平走査期間)の遅延を与える。この信号ともとのフラグ信号がXOR(排他的論理和)回路20での処理により同図(d)に示す変換信号を出力する。

【0086】この信号はフレームの切り換わりでそのフレームの初めまたは終わりの数H期間HIGHとなる信号であり、この信号が加算器21でフレームレート変換された撮像信号と加算され記録装置3へ出力される。

【0087】図20は変換されたフラグ信号の撮像信号への加算の例を示すが48P撮像信号と24P撮像信号の場合を示している。撮像部1の出力はそれぞれ同図(a1)及び(a2)のようになり、この信号がフレームレート変換部2で60Pのフレームレートに変換される。この時のフレームの切り換わりはフラグ信号発生部1

4 の出力信号により同図 (f 1 - 1) 及び (f 2 - 1) のようになる。この信号が前述したフラグ信号変換、加算部 18 で変換され、フレームレート変換部 2 の出力信号と加算され同図 (g 1) 及び (g 2) の信号となる。これらの信号から分かるように、フレームの切り換わり (フレーム番号の切り換わり) の初めに対応し、図中、網掛け部にフラグ信号が加算されていることがわかる。これらの信号が記録装置 3 で記録される。

【 0088 】再生装置 4 は信号と一緒に記録されているフラグ信号をもとにフレームの選択、複製等の処理を行い、本発明の実施の形態 3 や 5 等と同様に 24P 信号のシネマ信号の再生を行う。

【 0089 】このように本発明の実施の形態 6 によれば、フレームの切り換わりを示すフラグ信号を撮像信号自体に加算し記録するので、実施の形態 5 と同様に、再生装置 4 への撮像部 1 や記録装置 3 の同期信号等の情報を別個に与える必要がなく、また再生装置 4 に撮像部 1 のフレームのレートに応じて動作を切り換える為のスイッチ等も設けなくてよい。また、撮像部 1 のフレームレートが種々に変わっても自動でシネマ信号の再生動作を行うことができる。

【 0090 】さらに、実施の形態 5 に比べ撮像装置と記録装置との間で、信号の他に必要となるフラグ信号のインターフェース及び記録装置で記録するまでの撮像信号の処理時間による遅延時間を合わせる為のディレイ回路等を必要とせず、回路構成も簡単になる。

【 0091 】なお、フラグ信号変換、加算部 18 のディレイ回路 19 のディレイ量は本実施の形態の数値に限らず、再生装置 4 で検出可能な適切な時間に設定していいことは言うまでもない。また、信号を加算する位置も、撮像信号の有効期間以外の適切な場所に設定してもいいことは言うまでもない。

【 0092 】また、撮像装置等のチェック等の為、周辺機器等を考慮すれば、全ての実施の形態において、フレームレート変換部 2 の出力は 60P、再生装置 4 の出力はシネマ信号を得る為の 24P の 2-3 ブルダウン形式 (60P フレームレート) が好ましいことは言うまでもない。

【 0093 】また、全ての実施の形態において、再生装置 4 からの出力信号が 2-3 ブルダウン形式 (60P フレームレート) の 24P 信号の場合は、逆 2-3 ブルダウン処理によって、簡単に本来のシネマ信号 (24P フレームレート) に変換できることは言うまでもない。

【 0094 】また、全ての実施の形態において、記録装置及び再生装置は VTR 一体型撮像装置や据え置き機の VTR に限らず、ハードディスク等のノンリニア装置や光ディスク等のディスク装置であってもいいことは言うまでもない。

【 0095 】

【発明の効果】以上のように本発明によれば、撮像装置

で得られる種々のフレームレートの信号を所定のフレームレート信号に変換することにより、記録装置で常に所定のフレームレート、例えば 60P 信号のレートで記録することができ、撮像装置と記録装置が一体となった VTR 一体型撮像装置のカメラレコーダ等において回路規模及び電力の増大なしにシネマ信号作成システムの撮像装置、記録装置を構成することができる。また、再生装置も上記撮像装置と記録装置と組み合わせることにより、信号の選択と所定比率の再生速度変換で簡単に 24P 信号のシネマ信号を再生することができる。

【 0096 】また、本発明によれば、上記効果に加え、種々のフレームレートの撮像信号に対して、フレームレートの変換比が複雑な場合 (例えば 48P から 60P、24P から 60P へ変換等、変換比が 1/整数にならない場合) でも常に所定のフレームレート (例えば 60P) の信号へ変換が可能であり、そのレートで記録装置に記録することができ、スロー、早送り等、細かい設定が可能となる。

【 0097 】また、本発明によれば、フレームレート変換部での変換後のフレームレートが 60 フレームで、再生装置での実質コマ数が 24 コマ (24P (プログレッシブ)) とする場合、再生装置で常に 2-3 ブルダウンの形式で出力することができるので、スローモーションから早送りの各 24P のシネマ信号を 60P の信号形式として扱えるという効果を有する。

【 0098 】また、本発明によれば、種々のフレームレートの撮像 P 信号がすべて 60P の撮像信号のフレームレート間隔で出力されるので、フレームレート変換部の出力信号の遅延を、すべて場合で 60P の 1 フレーム分の遅延時間にすることができると共に、撮像部の出力信号のレートとフレームレート変換部のレートを同一 (60P) にすることにより、複数のレートに対応してフレームメモリの書き込み読み出しのタイミング等を調整しなくてもよいので、フレームレート変換部での回路動作を安定にすることができるという効果を有する。

【 0099 】また、本発明によれば、簡単な構成で、フレームの切り換わりのフラグ信号を作成でき、その信号を記録装置に撮像信号と共に記録できるので、再生装置への撮像部や記録装置の同期信号等の情報を別個に与える必要がない。また、再生装置に撮像部のフレームのレートに応じて動作を切り換える為のスイッチ等も設けなくてよく、撮像部のフレームレートが種々に変わっても自動でシネマ信号の再生動作を行うことができるという効果が得られる。

【 0100 】また、本発明によれば、撮像装置と記録装置との間で、信号の他に必要となるフラグ信号のインターフェース及び記録装置で記録するまでの撮像信号の処理時間による遅延時間を合わせる為のディレイ回路等を必要とせず、上記効果を簡単な回路構成で実現できる。

【 0101 】以上のように、本発明によれば、上記に示

した効果を有するシネマ信号作成システムを提供できる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 によるシネマ信号作成システムの構成を示すブロック図

【図 2】同シネマ信号作成システムのフレームレート変換部の一構成例を示すブロック図

【図 3】同シネマ信号作成システムのフレームレート変換部の動作を説明する信号波形図

【図 4】同シネマ信号作成システムの動作を説明する各部の信号概念図

【図 5】同シネマ信号作成システムの動作を説明する各部の信号概念図

【図 6】本発明の実施の形態 2 によるシネマ信号作成システムのフレームレート変換部の一構成例を示すブロック図

【図 7】同シネマ信号作成システムのフレームレート変換部の動作を説明する信号概念図

【図 8】同シネマ信号作成システムのフレームレート変換部の動作を説明する信号概念図

【図 9】本発明の実施の形態 3 によるシネマ信号作成システムの再生装置の出力信号を説明する信号概念図

【図 10】本発明の実施の形態 4 によるシネマ信号作成システムの構成を示すブロック図

【図 11】同シネマ信号作成システムの駆動パルス発生制御回路の動作を説明する信号波形図

【図 12】同シネマ信号作成システムの撮像部及びフレームレート変換部の出力信号を説明する信号概念図

【図 13】同シネマ信号作成システムの撮像部及びフレームレート変換部の出力信号を説明する信号概念図

【図 14】本発明の実施の形態 5 によるシネマ信号作成

システムの構成を示すブロック図

【図 15】同シネマ信号作成システムのフラグ信号発生部の内部構成及びその動作を示す説明図

【図 16】同シネマ信号作成システムの動作を説明する信号概念図

【図 17】同シネマ信号作成システムの動作を説明する信号概念図

【図 18】本発明の実施の形態 6 によるシネマ信号作成システムの構成を示すブロック図

【図 19】同シネマ信号作成システムのフラグ信号変換、加算部の内部構成及びその動作を示す説明図

【図 20】同シネマ信号作成システムの撮像信号へ加算されるフラグ信号の状態を説明するための信号概念図

【図 21】従来のシネマ信号作成システムの構成を示すブロック図

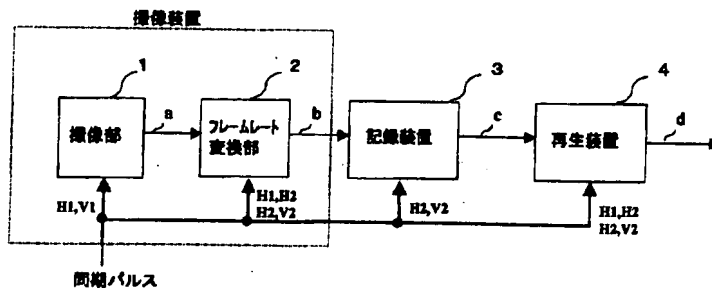
【図 22】従来のシネマ信号作成システムでの各部の信号波形図

【図 23】従来のシネマ信号作成システムでの各部の信号波形図

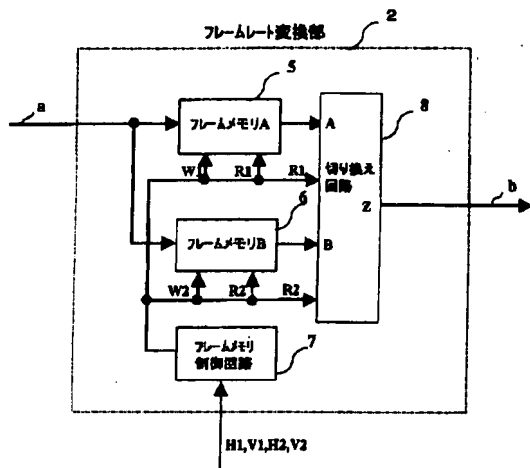
【符号の説明】

- 1 撮像部
- 2 フレームレート変換部
- 3 記録装置
- 4 再生装置
- 5, 6, 9 フレームメモリ
- 7, 10 フレームメモリ制御回路
- 8, 12 切り換え回路
- 11 フレームレート変換比演算回路
- 13 駆動パルス発生制御回路
- 14 フラグ信号発生部
- 18 フラグ信号変換、加算部

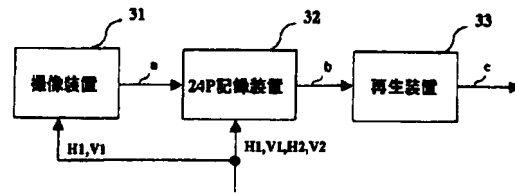
【図 1】



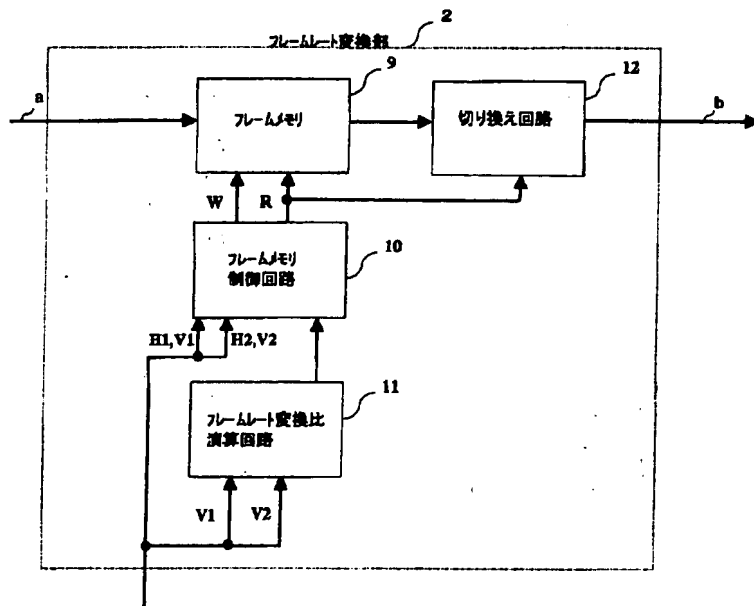
【図 2】



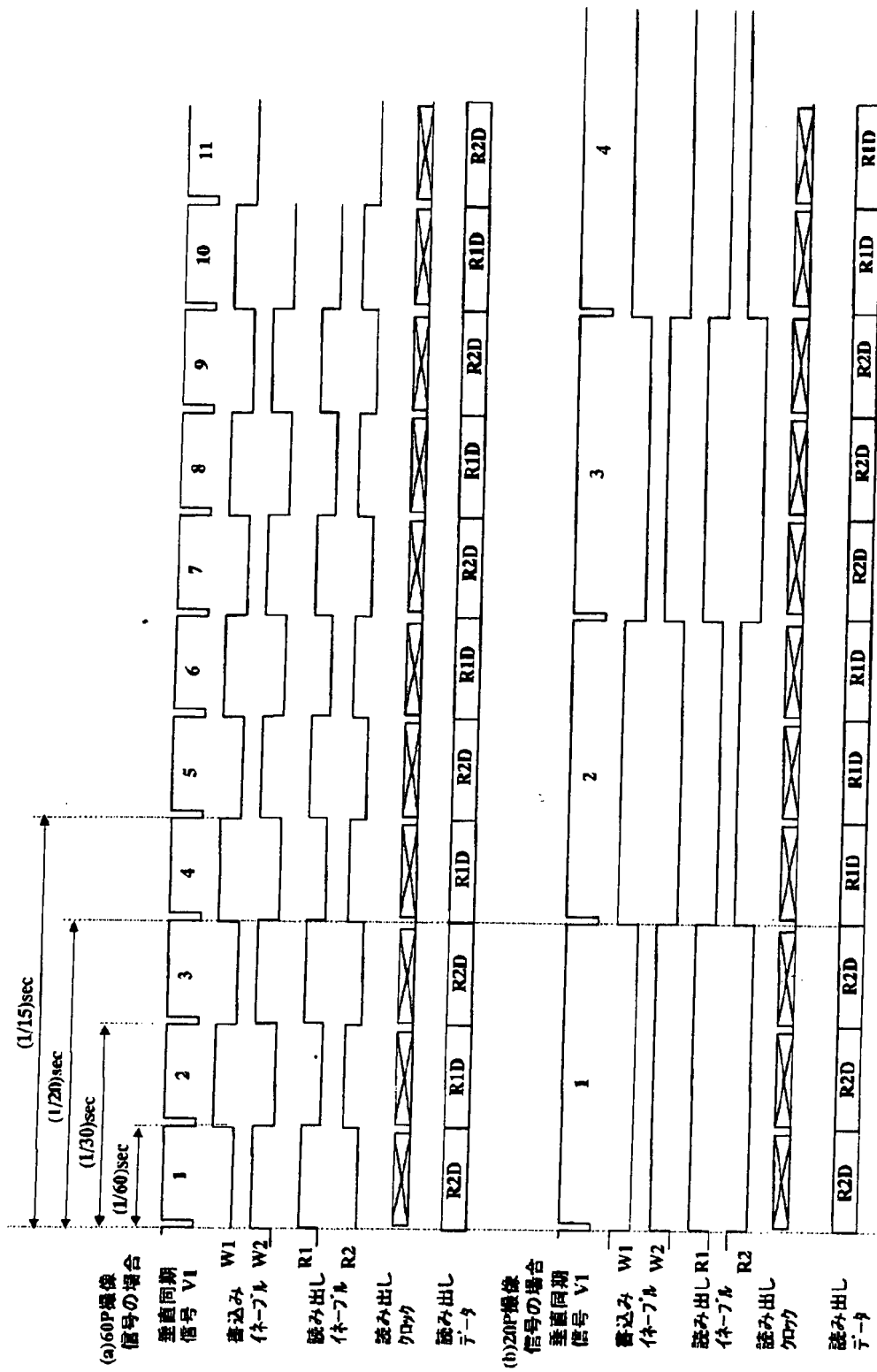
【図 21】



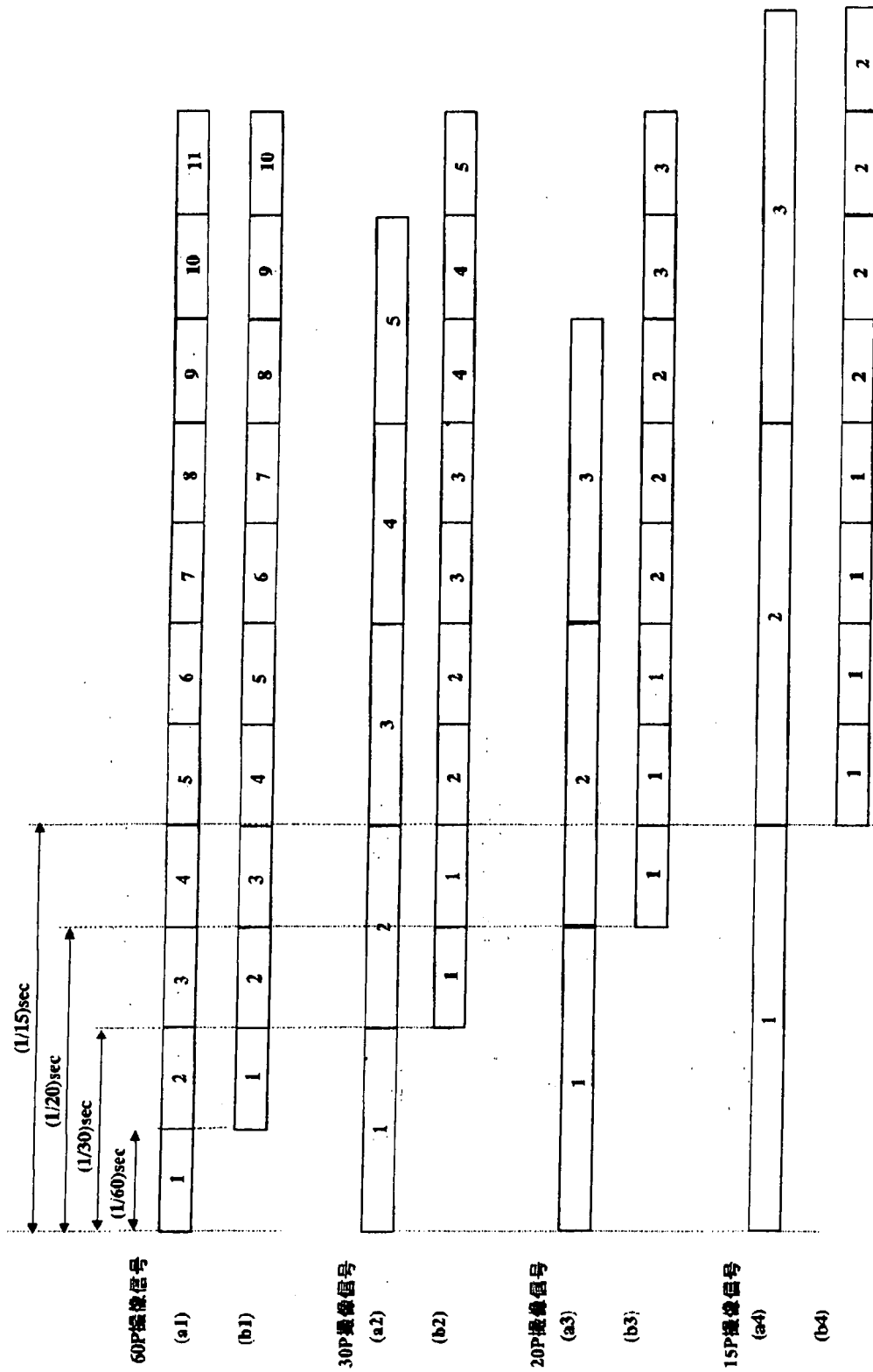
【図 6】



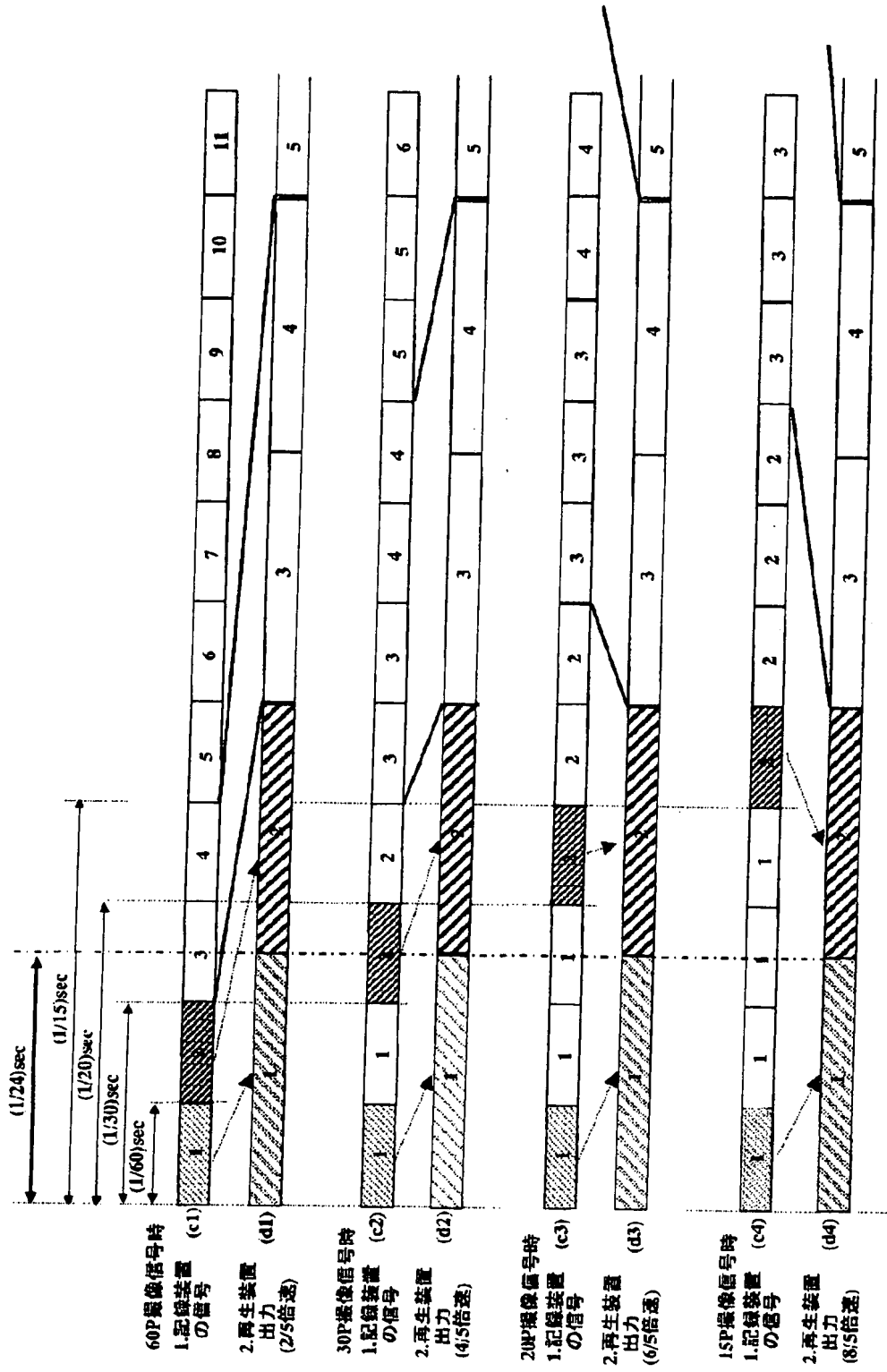
【図 3】



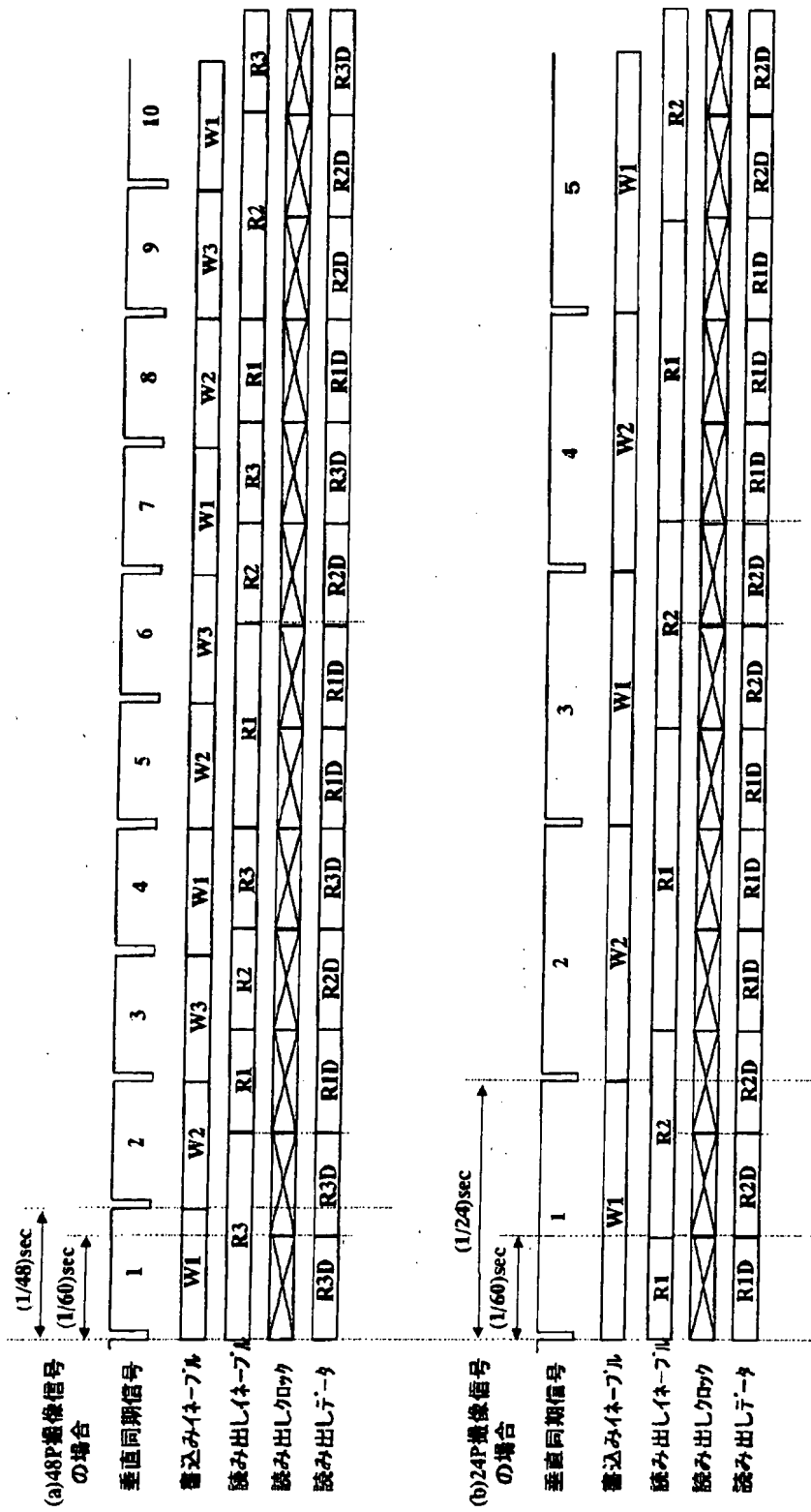
【図4】



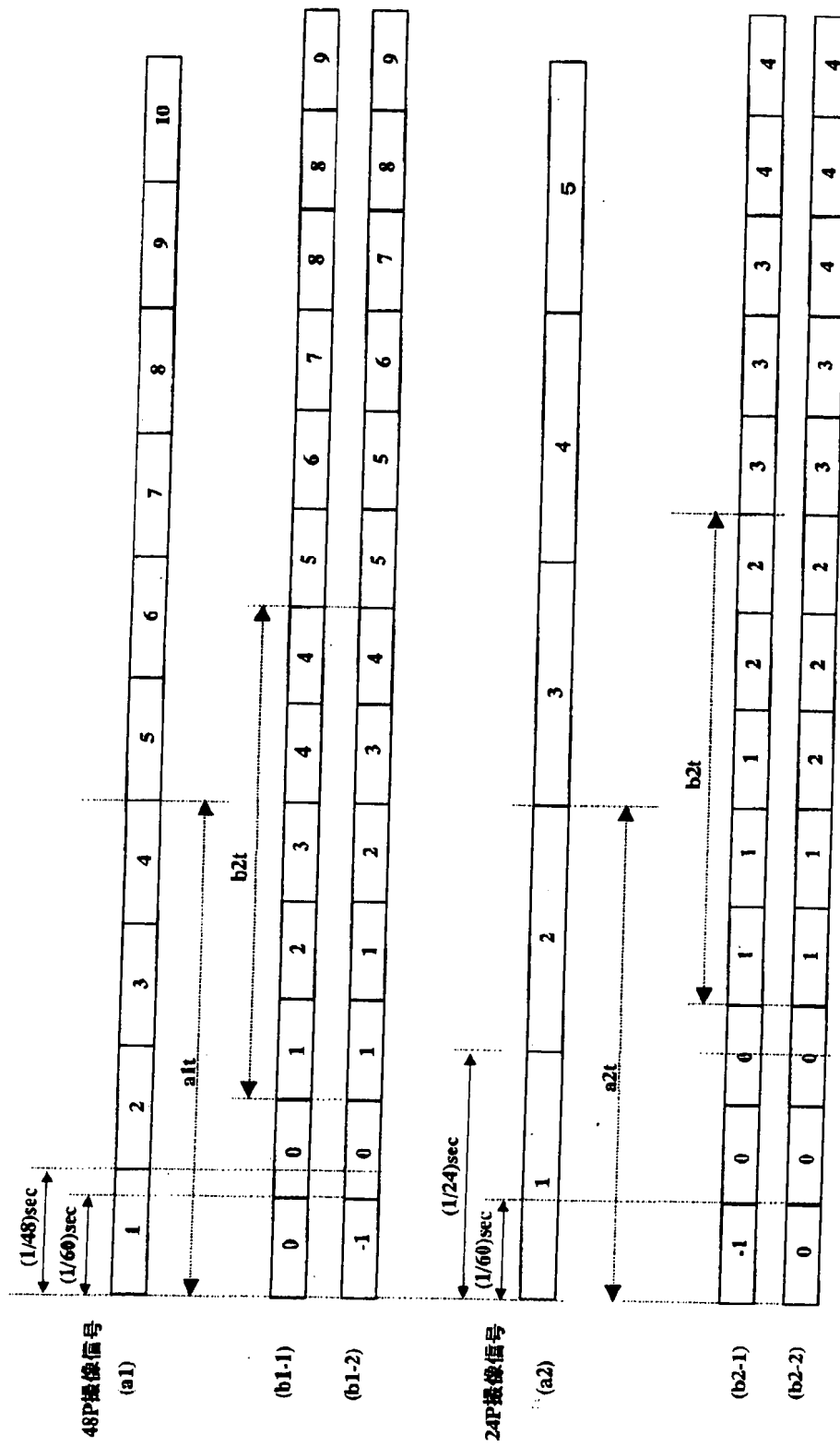
【図5】



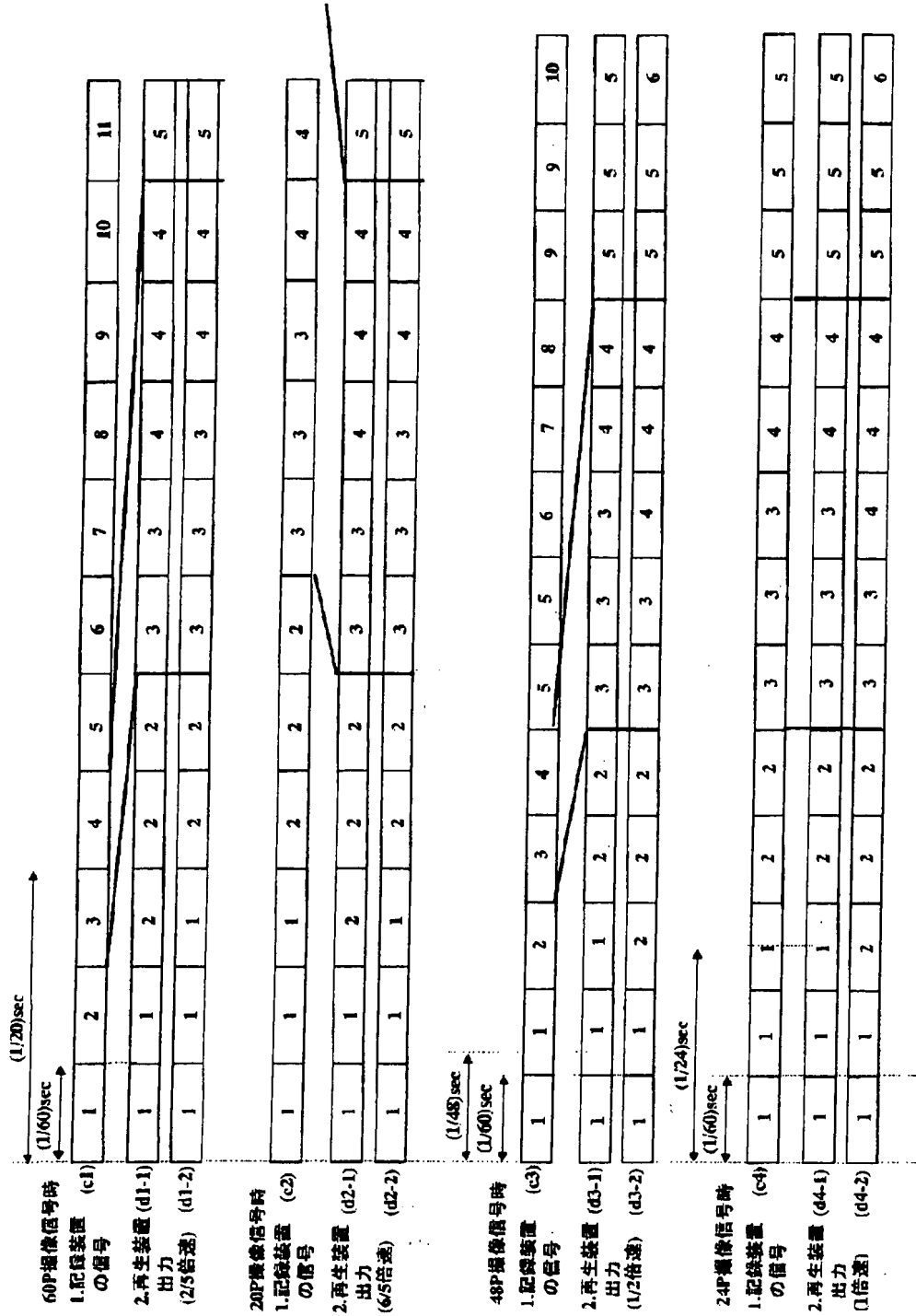
【図7】



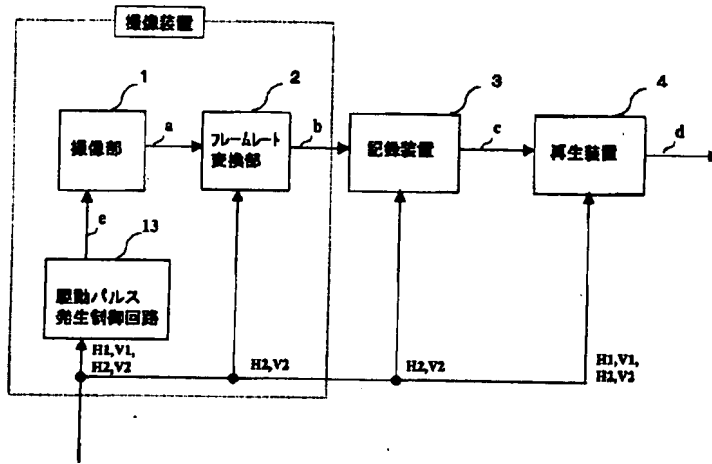
【図8】



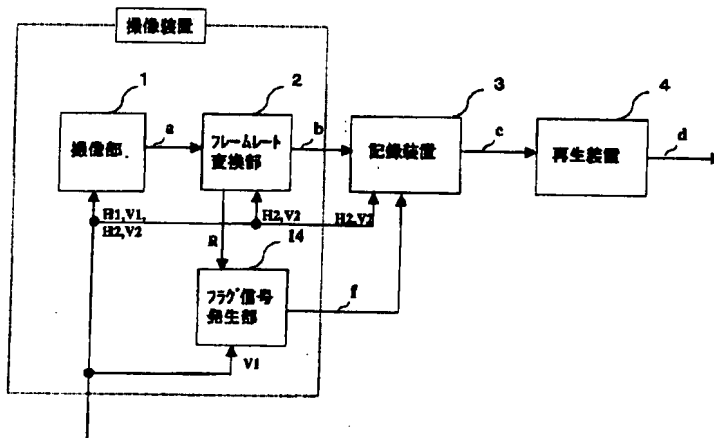
【図9】



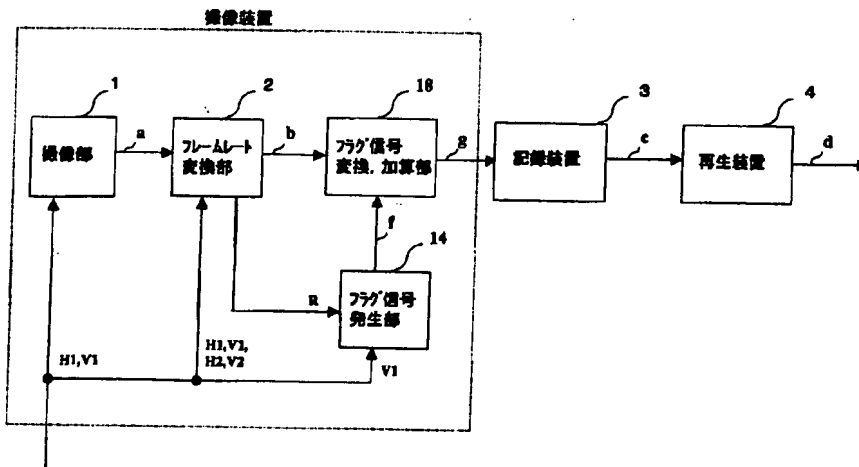
【図10】



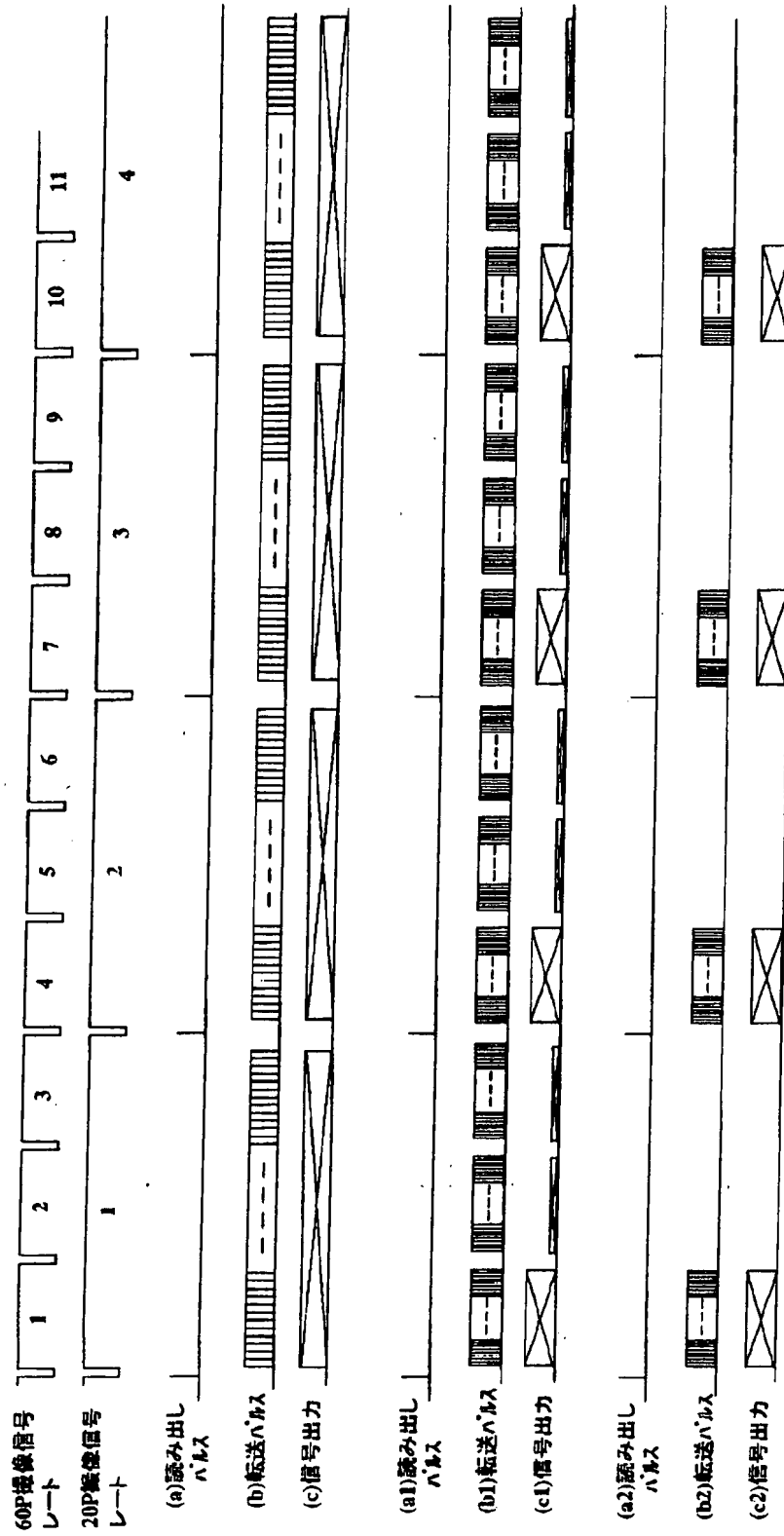
【図14】



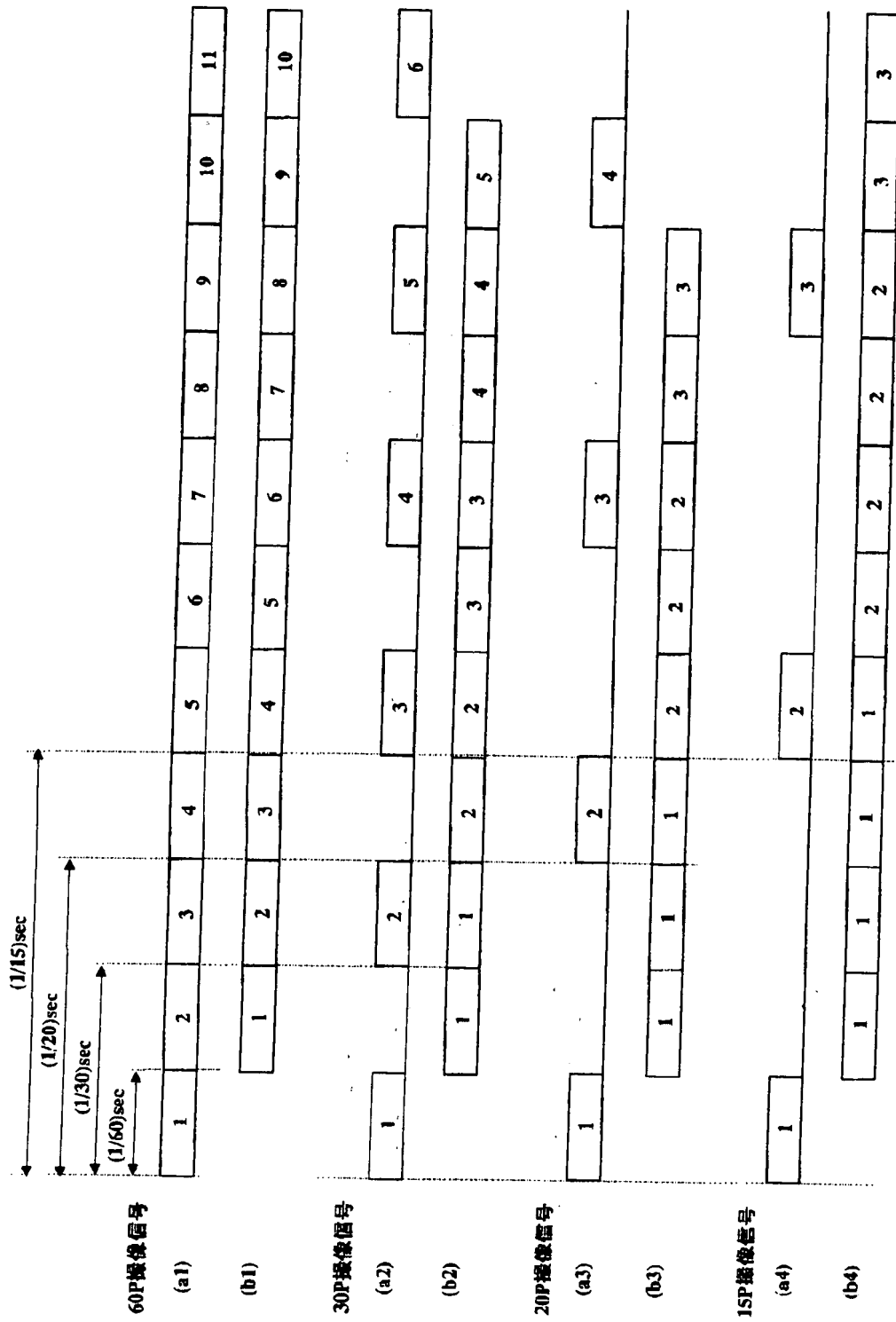
【図18】



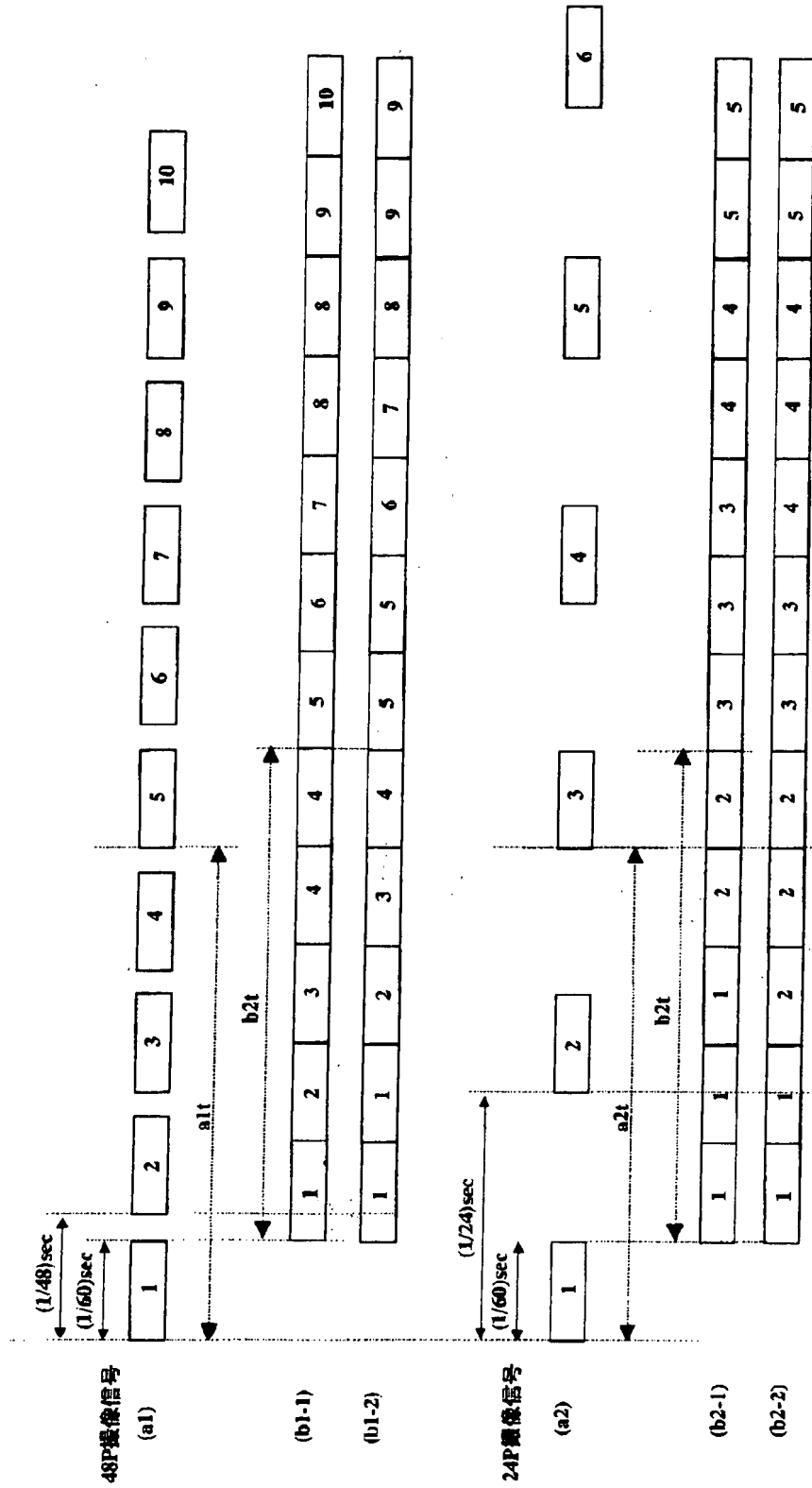
【図11】



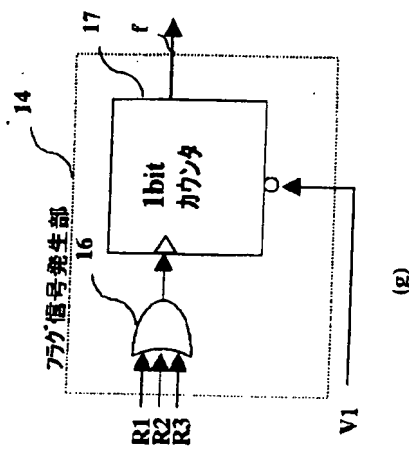
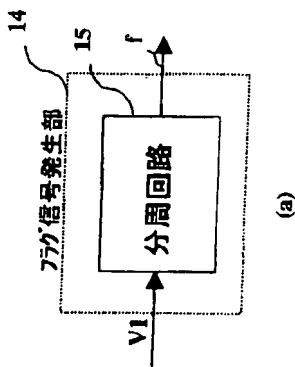
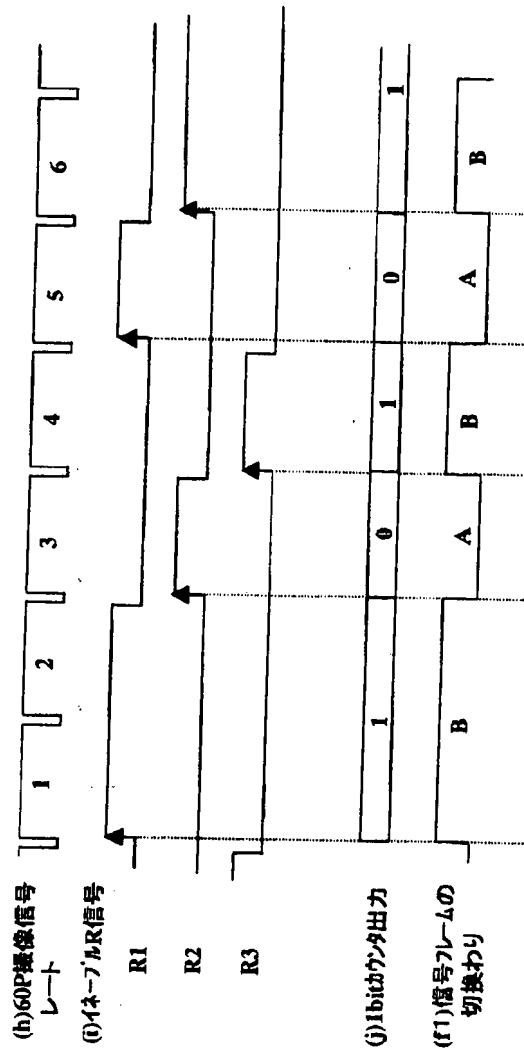
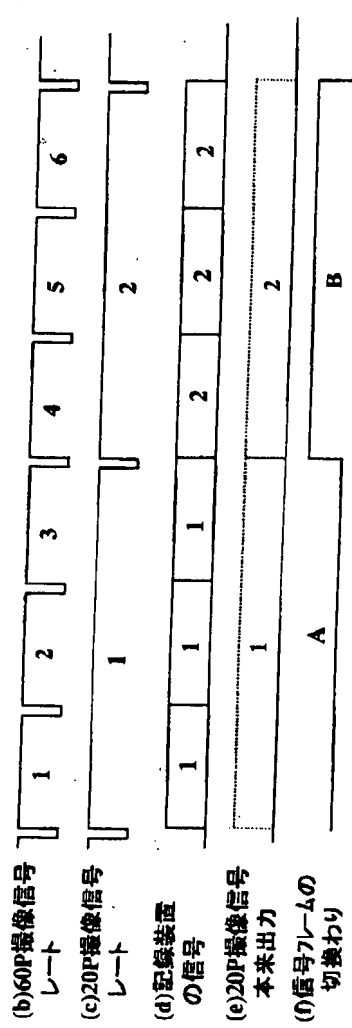
【図12】



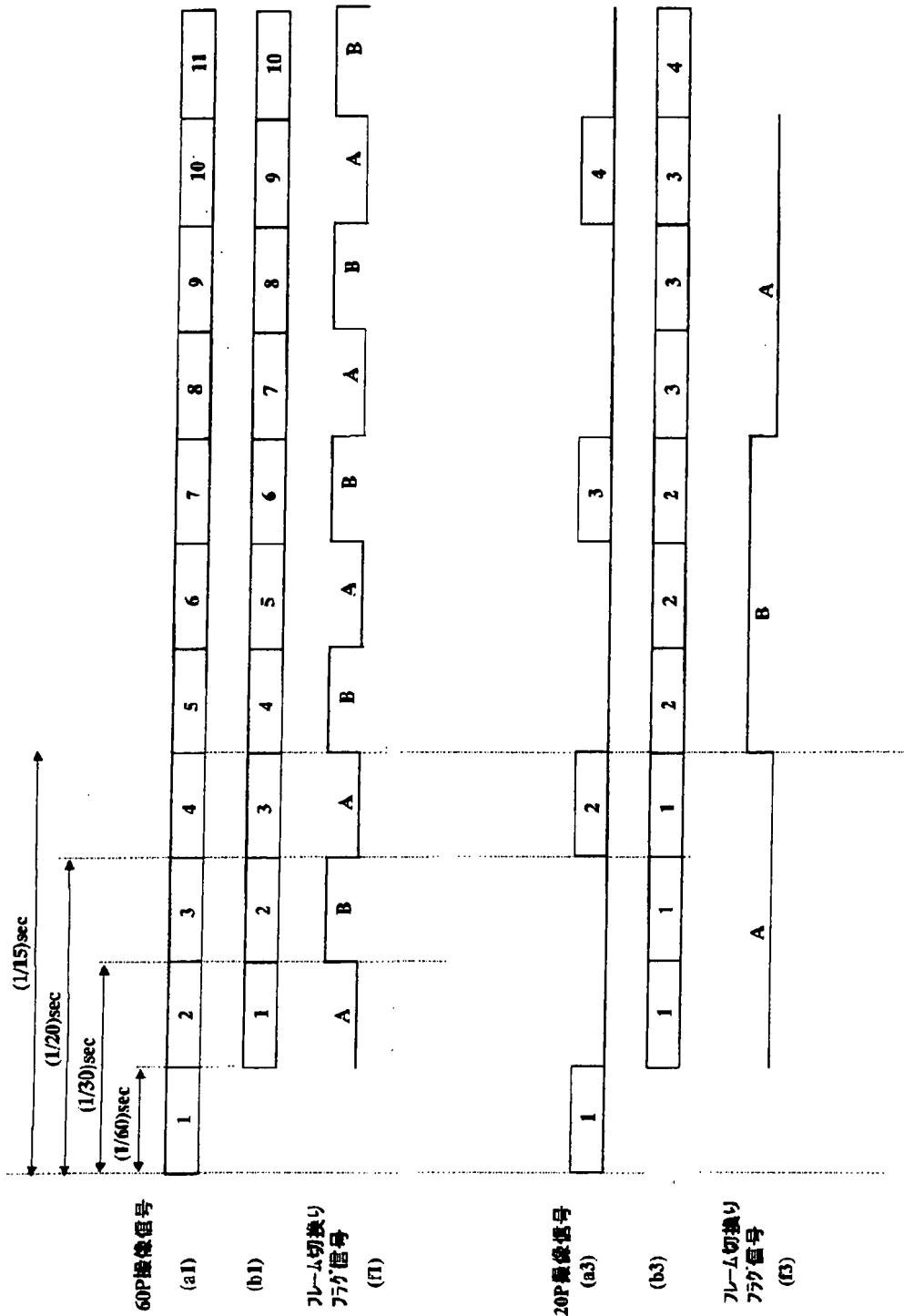
【図13】



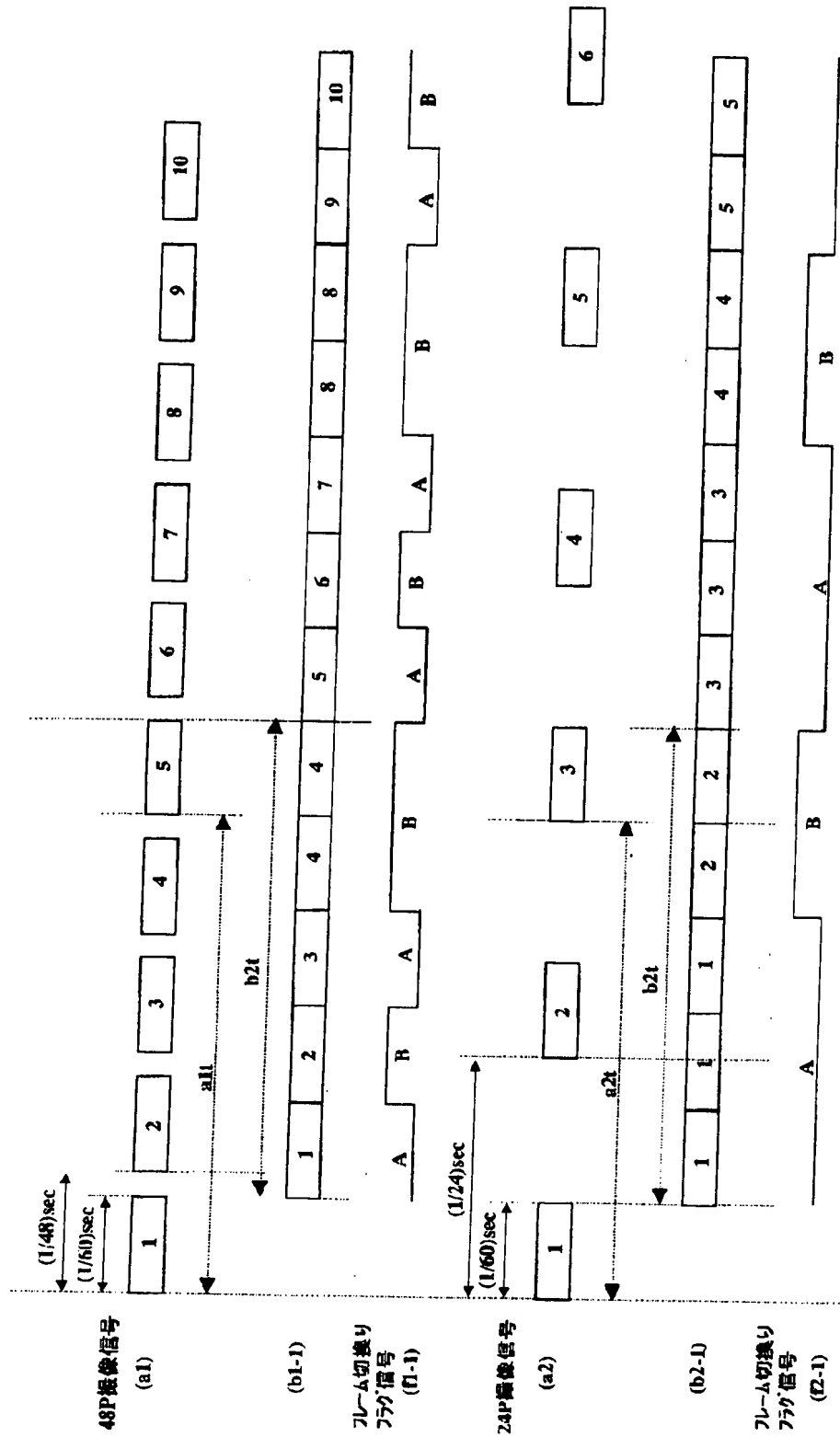
【図15】



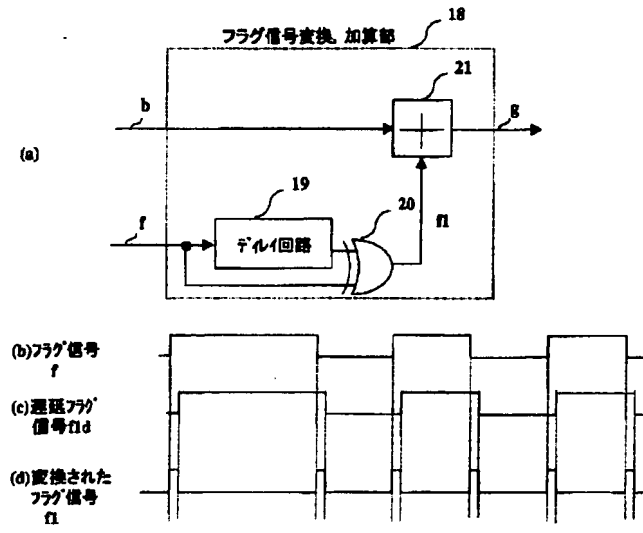
【図16】



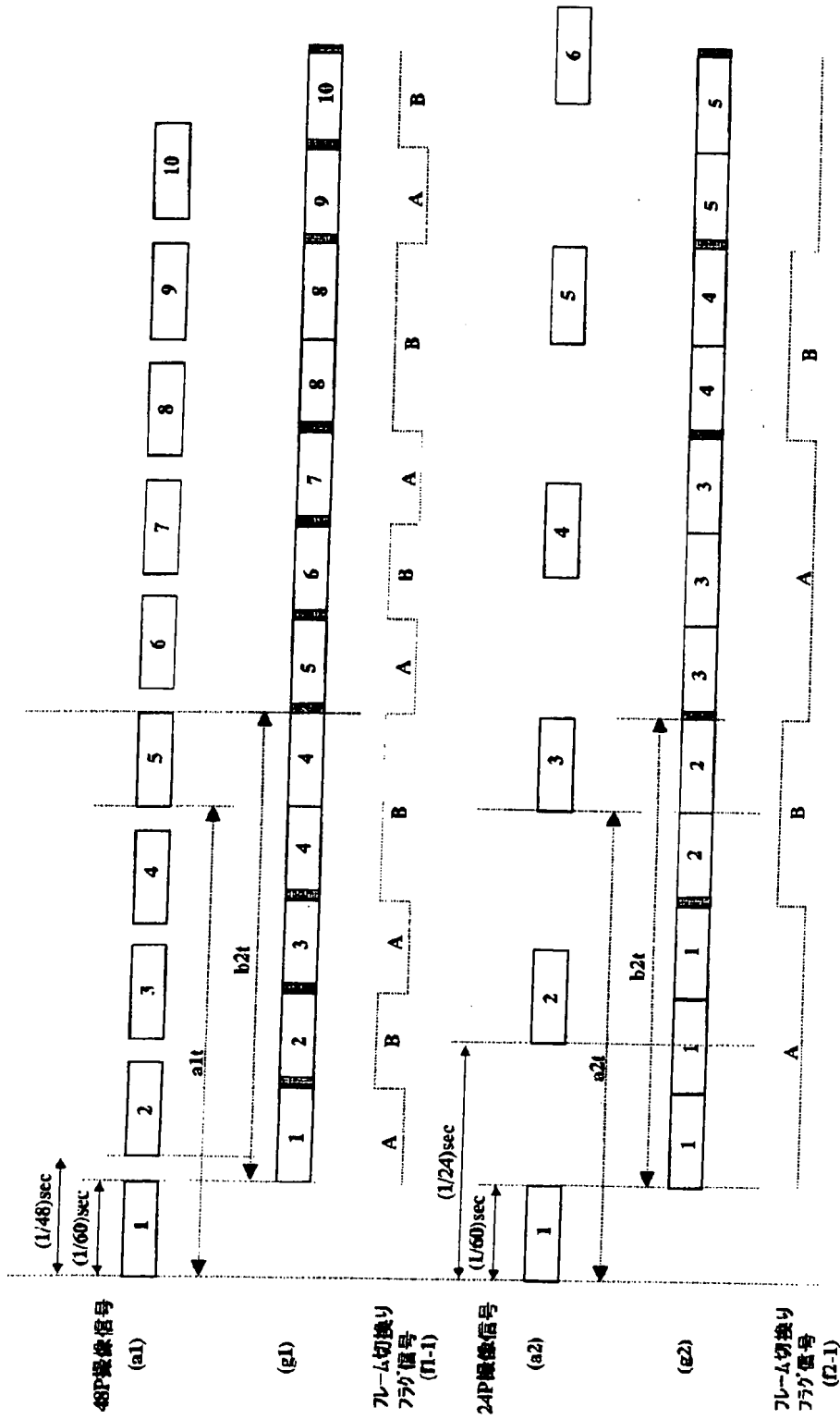
【図17】



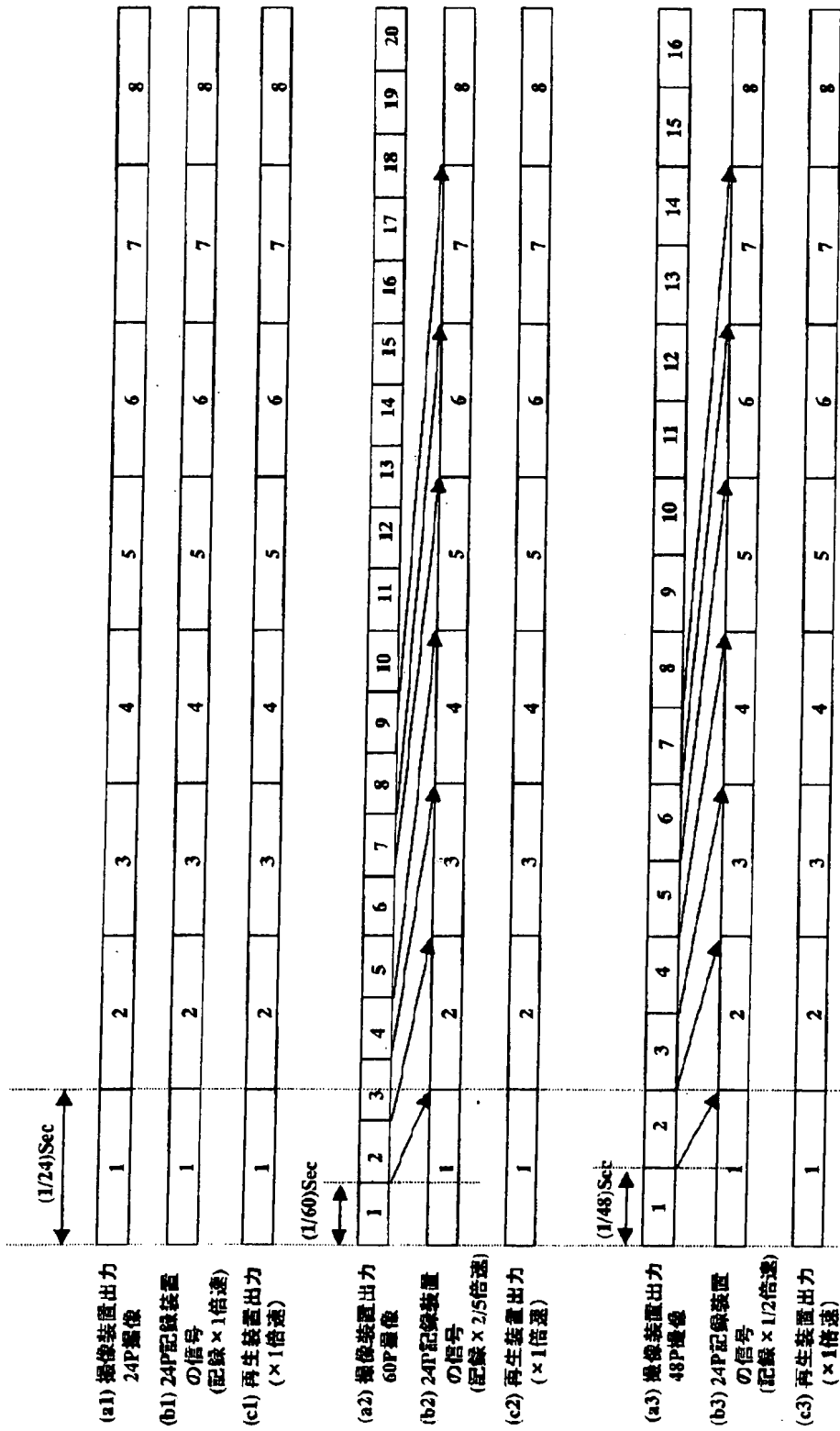
【図 19】



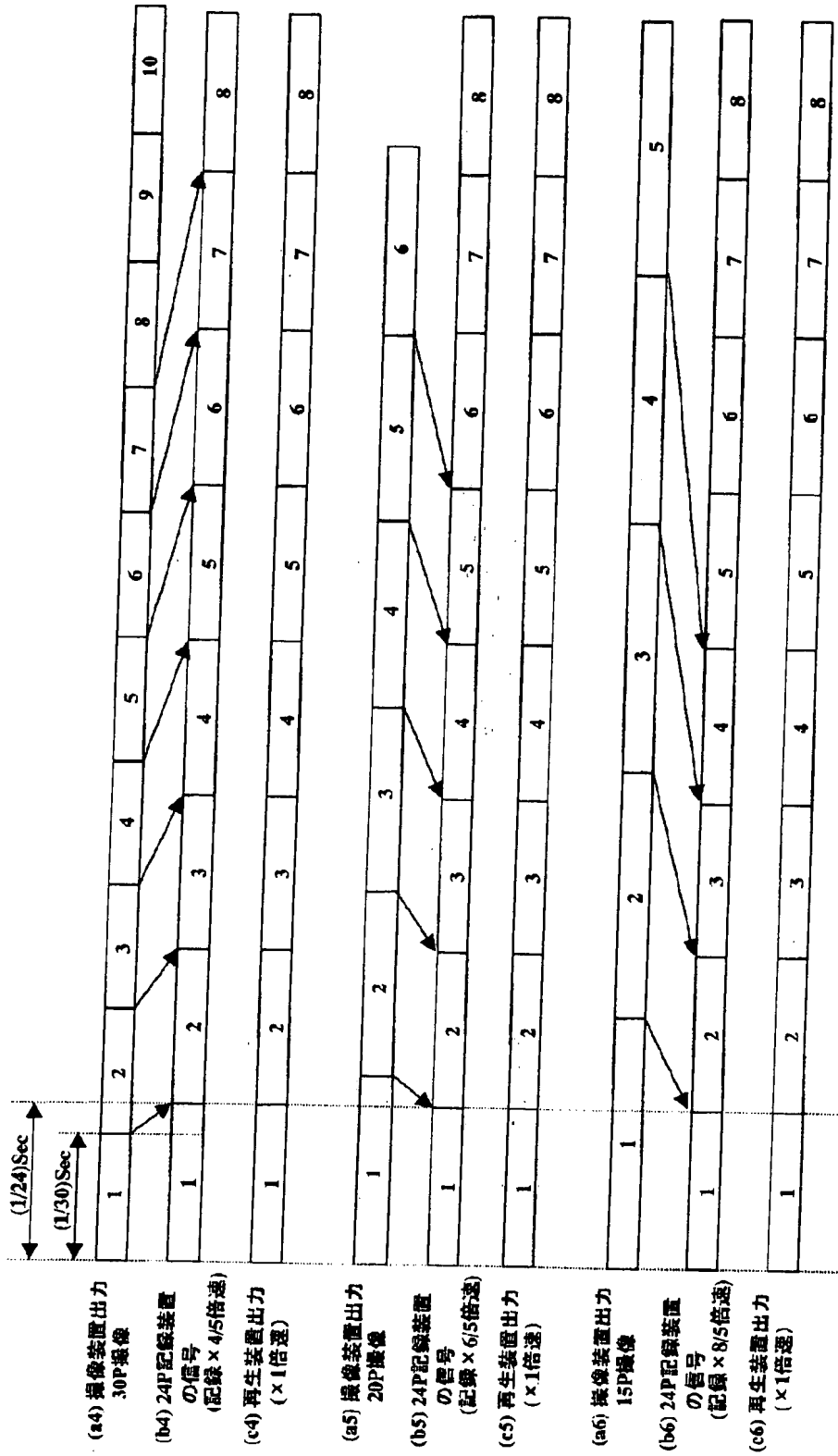
【図20】



【図22】



【図23】



フロントページの続き

(72) 発明者 西川 彰治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5C022 AB68 AC79 BA11

5C053 FA03 FA19 FA21 GA18 HA22

HA23 HA24 LA01 LA06